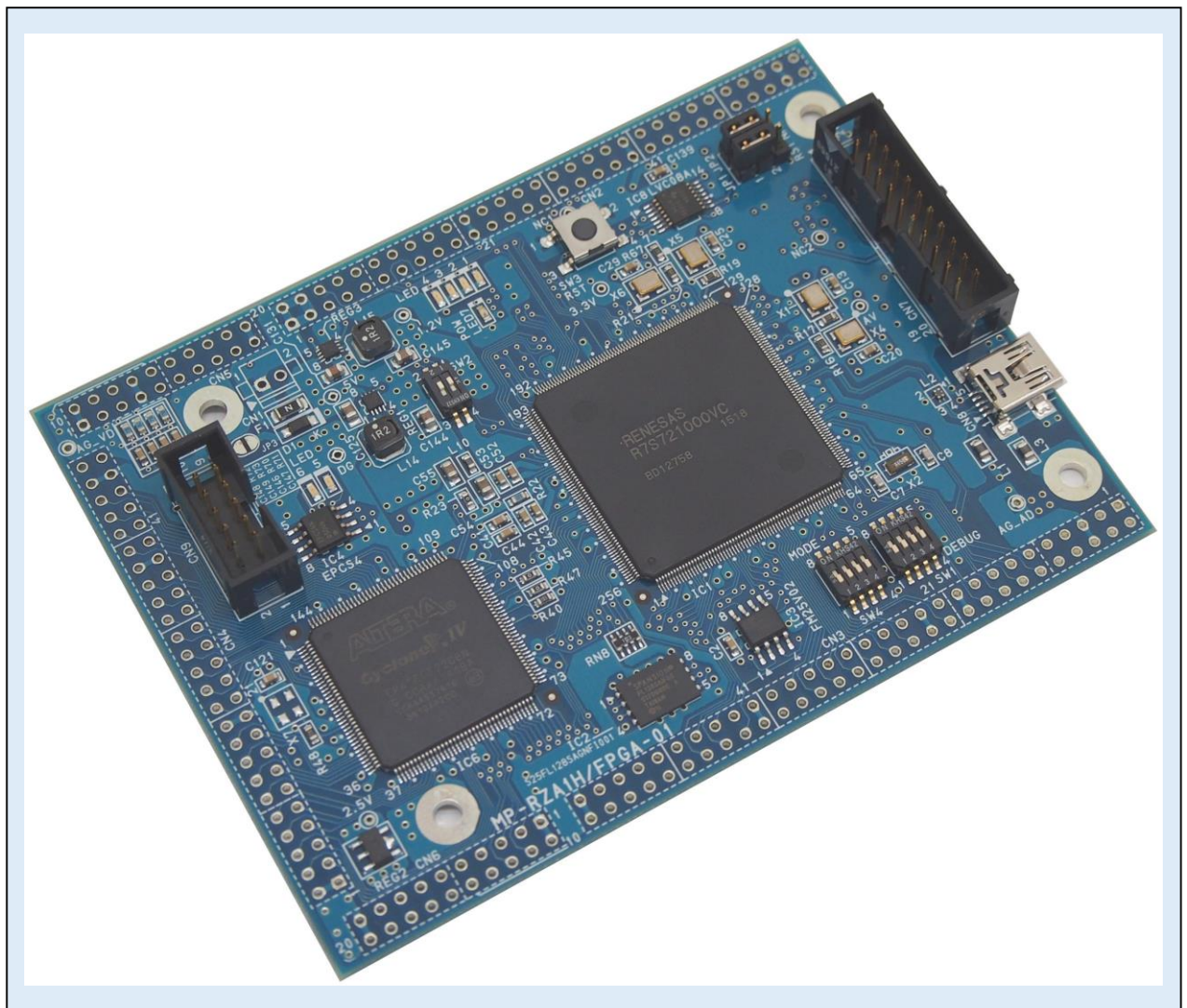


# MP-RZA1H/FPGA-01

ハードウェアマニュアル Rev1. 00



商品説明ホームページ

URL : <http://www.robin-w.com/>

製造元 : 有限会社テクノネット

開発・販売元 : エーワン株式会社



## 付属品

1. 電源ハーネス
2. 電源コネクタ(CN1)
3. CD
  - ・ハードウェアマニュアル
  - ・回路図
  - ・MCUサンプルプログラム
  - ・FPGAサンプルプログラム
  - ・アプリケーションノート
  - ・リモートデバッグ\_DEFnano
  - ・ユーザー登録

## 取り扱い上の注意

- ・定格を超える電源を加えないで下さい。
- ・異常な発熱や発煙、発火等があった場合には直ちに電源を切ってください。
- ・人命に関わる製品には使用しないで下さい。
- ・製品仕様および外観は予告なく変更することがあります。

## 保証期間

本製品の保証期間はご購入から1年間です。

製品出荷検査は最善を尽くしておりますが、万一、製品の初期不良の場合は、新品交換にて対応いたします。

ただし、不良解析は致しませんのでご了承願います。

この保証は最初のご購入者ご本人にのみ適用され、お客様が転売、貸し出しされた第三者には適用されません。

また、保証期間においても以下の場合には有料修理となります。

- ・火災、地震、その他の天災地変および異常電圧による故障、損傷
- ・誤用、乱用および取り扱いの不良による故障、損傷
- ・お客様による修理、改造による故障、損傷

## 製品サポート

本製品のサポート期間はご購入から1年間です。

製品サポートについては、Eメールでのみ受け付けております。

以下の内容に該当するお問い合わせにつきましては受け付けておりませんのでご了承願います。

- ・本基板の各ICの仕様、回路構成およびユーザ回路の設計方法等に関するご質問
- ・他社メーカーのツール類に関するご質問
- ・その他、本製品の仕様範囲外のご質問

サポート外で調査等をご希望の場合は、ご相談により有償で承ります。

## 免責

弊社は、お客様の損害について下記に該当する損害も含め、一切その責任を負わないものとします。

- ・直接損害およびお客様の得るであろう利益の損失もしくはその他の間接的な損害または付随的損害
- ・お客様または第三者の故意または過失、あるいは不可抗力により発生した損害
- ・高度医療機器、軍事機器、原子力機器、宇宙航空関連機器、人命に関わる機器や高度の信頼性・安全性が要求される機器、長時間連続して稼働させる機器に使用したことによる損害
- ・第三者の著作権、特許権、実用新案権、意匠権、回路配置利用権、商標その他の知的財産権およびその他の権利侵害に基づき生じた損害
- ・輸出規制の違反または取扱いに起因する損害

## 参考資料

- ・「RZ/A1H グループ ユーザーズマニュアル ハードウェア編」ルネサス エレクトロニクス株式会社
- ・「Cyclone IV Device Handbook」アルテラコーポレーション
- ・「Renesas RZ/A1H 用サンプル(ベアメタル版)の説明」エーワン株式会社

## 商標

- ・RZ および RZ/A1H は、ルネサス エレクトロニクス株式会社の登録商標、または商品名です。
- ・その他の会社名、製品名は、各社の登録商標または商標です。

## 目次

1.	概要	1
2.	特長	1
2.1.	MCU	1
2.2.	FPGA	1
2.3.	FPGAコンフィグレーション・デバイス	1
2.4.	FlashROM	1
2.5.	FRAM	1
2.6.	USB	1
2.7.	電源電圧監視	1
2.8.	電源投入時のFPGAダウンロード	1
2.9.	デバッグ用ファーム(無償)	1
2.10.	FPGA用サンプルI/Oロジック(無償)	1
3.	仕様概要	2
4.	外観図	3
5.	ブロック図	4
6.	メモリマップ	5
6.1.	本ボードのメモリマップおよび設定内容	5
6.2.	L1キャッシュとL2キャッシュについて	6
6.3.	FPGA空間のBSC設定	7
7.	FPGA用サンプルI/Oロジック	9
7.1.	アドレス空間	9
7.2.	FPGA I/O入出力用レジスタマップ	9
7.3.	I/Oレジスタ詳細	10
8.	I/O割付け	12
9.	コネクタマップ	16
9.1.	CN1:電源コネクタ (B2P-SHF-1AA:日圧)	16
9.2.	CN2:拡張コネクタ (HIF3H-60PB-2.54DSA(71):ヒロセ)	16
9.3.	CN3:拡張コネクタ (HIF3H-60PB-2.54DSA(71):ヒロセ)	17
9.4.	CN4:拡張コネクタ (HIF3H-50PB-2.54DSA(71):ヒロセ)	17
9.5.	CN5:拡張コネクタ (HIF3H-20PB-2.54DSA(71):ヒロセ)	18
9.6.	CN6:拡張コネクタ(HIF3H-20PB-2.54DSA(71):ヒロセ)	18
9.7.	CN7:マイコンデバッグコネクタ (XG4C-2031:オムロン)	18
9.8.	CN8:USB(miniB)コネクタ (XM7D-514:オムロン)	18
9.9.	CN9:FPGA JTAGコネクタ (XG4C-1031:オムロン)	19
10.	機能	20
10.1.	RZ/A1Hのモード設定	20
10.2.	リセット	20
10.3.	電源電圧監視	20
10.4.	アナログリファレンス電源 内部+3.3Vと外部Vrefの切替え	21
10.5.	シリアルFlashROM	21
10.6.	FRAM	21
10.7.	USB	21
10.8.	LED	21
10.9.	スイッチ	22
11.	外部インタフェース	23
11.1.	拡張コネクタ	23
11.2.	USBバスパワー	24
12.	外形寸法図	25
13.	回路図	25
14.	関連製品	26
14.1.	評価ボード(EV-RX/RZ-01)	26
14.2.	評価ボード(EV-RZ-01)	26
14.3.	RZ単体MCUボード (MP-RZA1H-01)	27
14.4.	RZ単体MCUボード コネクタ変換基板 (CNV-RZA1H-01)	27

## 1. 概要

- ・ MP-RZA1H/FPGA-01 は、ルネサス製マイクロコンピュータ RZ/A1H(ARM Cortex-A9)と、アルテラ製 FPGA Cyclone<sup>®</sup> IV を搭載した、汎用小型マイコン+FPGA ボードです。
- ・ RZ/A1H は、SRAM=10M バイト、L1 キャッシュ=32K バイト、L2 キャッシュ=128K バイトを内蔵しコアスピードは 400MHz 動作です。
- ・ Cyclone IV は、ロジックエレメント数=6,272、メモリ=270K ビット、PLL=2ch の規模で、マイコンとの I/F は、16 ビットのバス接続です。

## 2. 特長

### 2.1. MCU

- ・ RZ/A1H=型番 : R7S721000VCFP、形状 : LFQFP256 ピン、電源 : コア=1.18V / IO=3.3V

### 2.2. FPGA

- ・ Cyclone IV=型番 : EP4CE6E22C8N、形状 : EQFP144 ピン、電源 : コア=1.2V / analogPLL=2.5V / IO=3.3V

### 2.3. FPGAコンフィグレーション・デバイス

- ・ FPGA 論理回路の保存用に、4M ビットシリアル FlashROM、EPCS4(アルテラ)を1個搭載しています。

### 2.4. FlashROM

- ・ プログラム格納用に、16M バイトのシリアル FlashROM、S25FL128S (SPANSION)を1個搭載しています。  
(マイコン SPI マルチインタフェース、66.67MHz 動作)

### 2.5. FRAM

- ・ データバックアップ用に、32Kバイトの強誘電体不揮発性シリアル FRAM FM25V02 (RAMTRON)を1個搭載しています。  
(マイコン SPI インタフェース、33.33MHz 動作)

### 2.6. USB

- ・ デバッグ専用 USB miniB コネクタを実装しています。(MCU 内蔵 USB コントローラ チャネル 0 を使用)
- ・ SW4-1(ブートモード)を OFF にし、USB ケーブルを接続した状態で電源を ON にするとデバッグ用ファームが起動し使用可能となります。(10.7 参照)
- ・ お客様が独自でソフトウェアを作成する場合は FUNCTION として使用可能です。

### 2.7. 電源電圧監視

- ・ 供給電源+5V を監視、電圧低下+4.5Vを検出し、マイコンに NMI 割り込みを要求します。
- ・ NMI~リセットが入るまでの時間を設け、データの退避に使用可能です。
- ・ NMI 発生からリセットまでの時間は、当社テスト動作で≒10mS となりますが、供給する電源ユニットと消費電流の状況により大きく変わりますので注意が必要です。(10.3 参照)

### 2.8. 電源投入時のFPGAダウンロード

- ・ FPGA コンフィグレーション・デバイスから FPGA に論理回路をダウンロードするのに、数百 mS 要する為ダウンロード中の信号をマイコンに通知します。(ダウンロード完了後、FPGA にアクセス可能となります。)

### 2.9. デバッグ用ファーム(無償)

- ・ ご購入時には FlashROM にデバッグ用ファーム(ローダ/Flash ライタ/デバッグモニタ)が書込みされております。

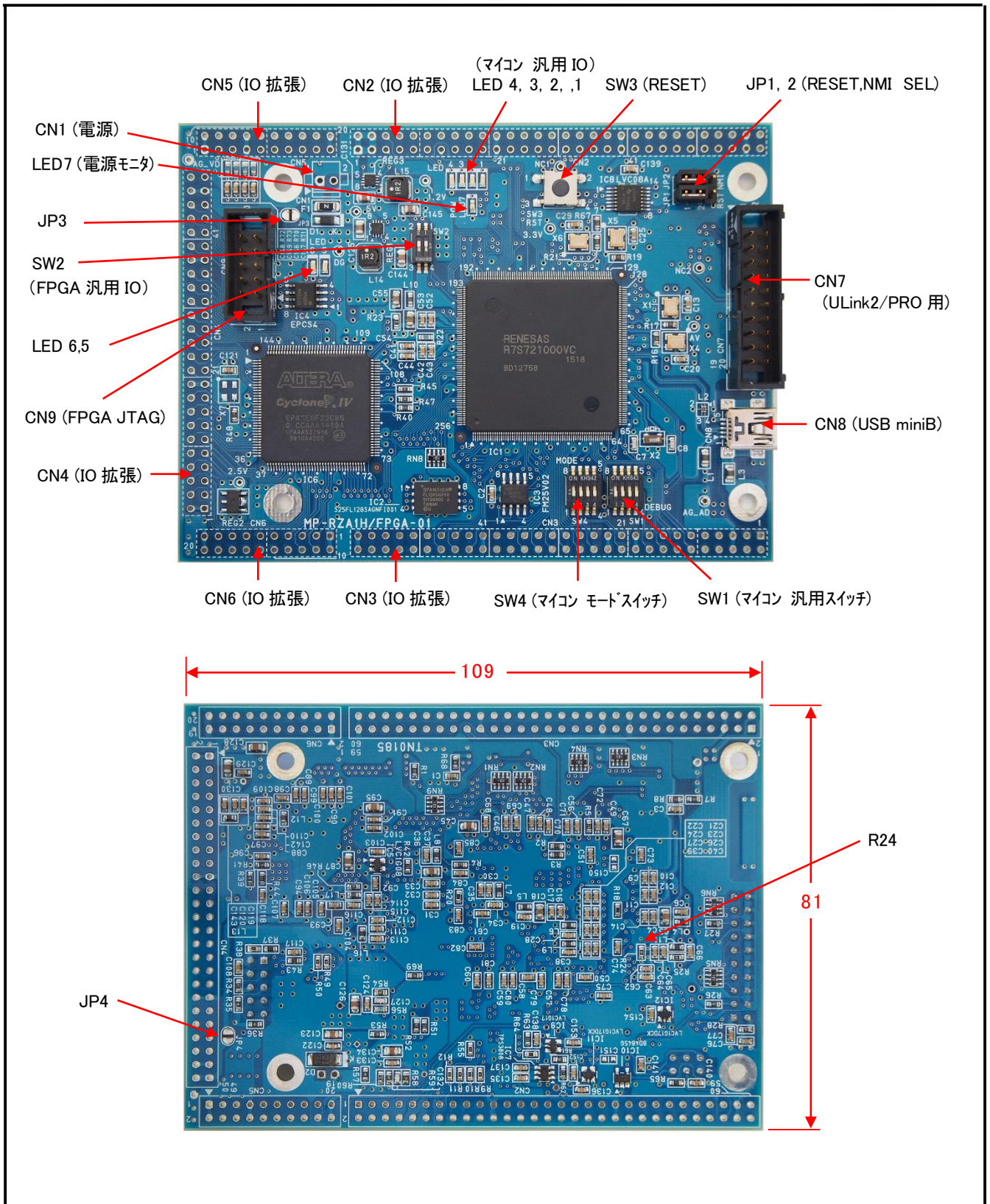
### 2.10. FPGA用サンプルI/Oロジック(無償)

- ・ ご購入時には FPGA コンフィグレーション・デバイスに FPGA 用サンプル I/O ロジック(I/O および RAM アクセス)が書込みされております。

## 3. 仕様概要

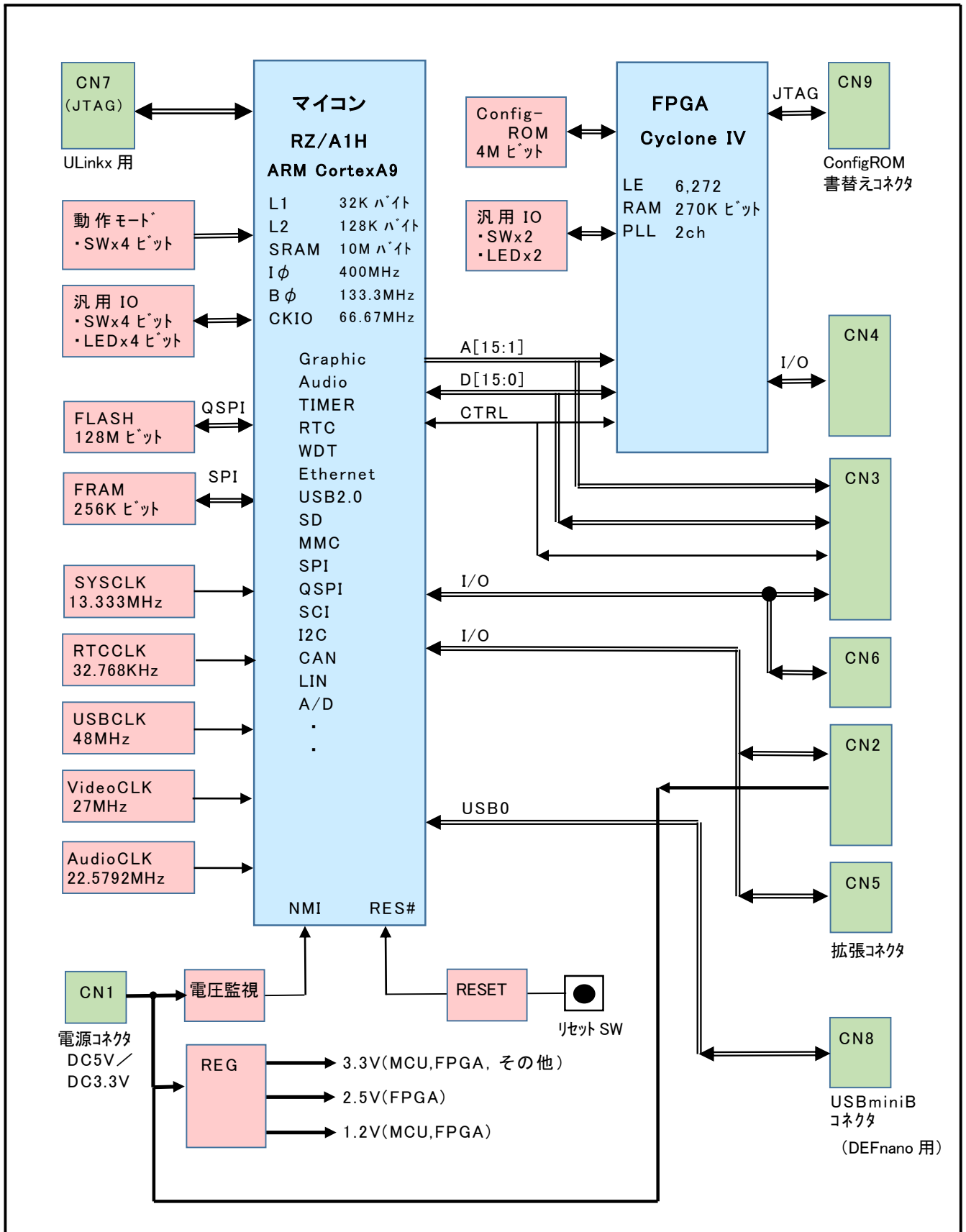
機能	仕様
MCU	RZ/A1H マイコン (R7S721000VCFP:ルネサス) ARM Cortex-A9 プロセッサ搭載 内蔵 RAM : 10M バイト L1 キャッシュ : 32K バイト L2 キャッシュ : 128K バイト パッケージ : LFQFP256 ピン
クロック	システムクロック : 13.33MHz (水晶発振器) MCUクロック : 最大 400MHz 内部バスクロック : 最大 133.33MHz 外部バスクロック : 66.67MHz 周辺クロック : 66.67MHz/33.33MHz RTC用クロック : 32.768KHz (水晶振動子) USB用クロック : 48MHz (水晶発振器) ビデオ用クロック : 27MHz (水晶発振器) オーディオ用クロック : 22.5792MHz (水晶発振器)
メモリ	128M ビット シリアル FlashROM (S25FL128S:SPANSION 相当品) 256K ビット FRAM (FM25V02:RAMTRON 相当品)
FPGA	Cyclone IV (EP4CE6E22C8N:アルテラ) ロジックエレメント数 : 6,272 メモリ : 270K ビット PLL : 2ch
FPGA コンフィグレーション デバイス	4M ビットシリアル FlashROM (EPCS4:アルテラ)
USB I/F	MCU 内蔵 USB コントローラ チャネル 0 デバッグ専用 USB2.0(HIGH/FULL スピード対応)動作
アナログリファレンス電源	内部+3.3V と外部Vrefの切替え可能 (10. 機能 参照)
リセット	外部ヘリセット出力/外部からリセット入力 切替可能 JP1 ショートバーにより切替え (10. 機能 参照)
電源電圧監視	供給電源+5V を監視、電圧降下+4.5V を検出し、マイコンに NMI 割り込みが可能。 また、外部へのNMI出力および外部からのNMI入力が可能。 JP2 ショートバーにより切替え (10. 機能 参照)
LED	電源 LED 1 個 汎用 LED 4 個 (マイコン I/O ポートに接続) (このマイコンの I/O ポートは拡張用コネクタにも接続されています。) 汎用 LED 2 個 (FPGA I/O ポートに接続)
スイッチ	モード選択用 4 ビット DIP スイッチ 1 個 (10. 設定参照) 汎用 4 ビット DIP スイッチ 1 個 (マイコン I/O ポートに接続) 汎用 2 ビット DIP スイッチ 1 個 (FPGA I/O ポートに接続) リセット用タクトイルスイッチ 1 個
拡張用コネクタ	20 ピン 2.54 ピッチ 2 個 (HIF3H-20PB-2.54DSA(71):ヒロセ) 60 ピン 2.54 ピッチ 2 個 (HIF3H-60PB-2.54DSA(71):ヒロセ) 50 ピン 2.54 ピッチ 1 個 (HIF3H-50PB-2.54DSA(71):ヒロセ) これらのコネクタは実装オプションです。
電源	DC5V±5% または DC3.3V±5%(+4.5V 電圧監視機能は使用できません。) 内部電源 : +3.3V (MCU I/O, FPGA I/O) 内部電源 : +2.5V (FPGA PLL) 内部電源 : +1.2V (MCU コア, FPGA コア)
消費電流	電源電圧 5V : Typ 約 100mA 電源電圧 3.3V : Typ 約 150mA デバッグ用ファームにより USB 経由でアプリケーションをダウンロード時
使用条件	温度 0°C~60°C(結露なき事)
寸法	109×81mm

4. 外観図





5. ブロック図



## 6. メモリマップ

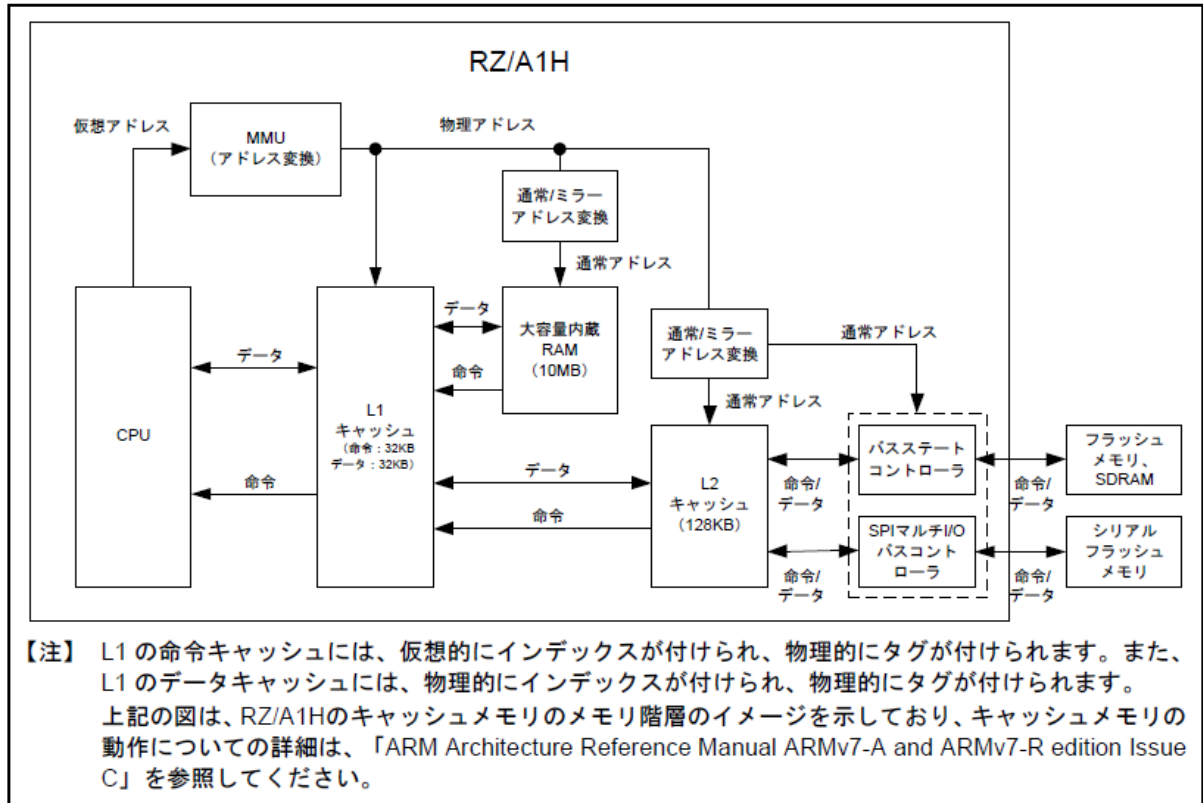
## 6.1. 本ボードのメモリマップおよび設定内容

アドレス	領域	設定	備考
0000_0000 - 03FF_FFFF	CS0 空間 (64M バイト)	キャッシュ有効エリア (L1,L2 キャッシュ)	ユーザ使用不可
0400_0000 - 07FF_FFFF	CS1 空間 (64M バイト)		ユーザで使用可
0800_0000 - 0BFF_FFFF	CS2 空間 (64M バイト)		本ボード内の FPGA で使用 (キャッシュ無効エリア 4800_0000 - 4BFF_FFF を を使用)
0C00_0000 - 0FFF_FFFF	CS3 空間 (64M バイト)		ユーザ使用可 (本ボード内の FPGA にも 接続)
1000_0000 - 13FF_FFF	CS4 空間 (64M バイト)	ストロングリエリア	ユーザ使用不可
1400_0000 - 17FF_FFF	CS5 空間 (64M バイト)	ストロングリエリア	ユーザ使用不可
1800_0000 - 1BFF_FFFF	SPI マルチ I/O バス領域チャンネル 0 (64M バイト)	キャッシュ無効エリア	
1C00_0000 - 1FFF_FFFF	SPI マルチ I/O バス領域チャンネル 1 (64M バイト)		
2000_0000 - 209F_FFFF	大容量内蔵 RAM (保持用内蔵 RAM 含む) (10M バイト)	キャッシュ有効エリア (L1 キャッシュ)	論理アクセスはページを またいだ連続アクセスが 不可のため MMU により 物理アドレスをアクセスさせる (6000_0000 - 609F_FFFF)
20A0_0000 - 3FFF_FFFF	I/O 領域、予約領域	ストロングリエリア	
4000_0000 - 43FF_FFFF	CS0 空間ミラー領域 (64M バイト)	キャッシュ無効エリア	ユーザ使用不可
4400_0000 - 47FF_FFFF	CS1 空間ミラー領域 (64M バイト)		ユーザで使用可
4800_0000 - 4BFF_FFFF	CS2 空間ミラー領域 (64M バイト)		本ボード内の FPGA で使用
4C00_0000 - 4FFF_FFFF	CS3 空間ミラー領域 (64M バイト)		ユーザ使用可 (本ボード内の FPGA にも 接続)
5000_0000 - 53FF_FFFF	CS4 空間ミラー領域 (64M バイト)	ストロングリエリア	ユーザ使用不可
5400_0000 - 57FF_FFFF	CS5 空間ミラー領域 (64M バイト)	ストロングリエリア	ユーザ使用不可
5800_0000 - 5BFF_FFFF	SPI マルチ I/O バス領域チャンネル 0 ミラー領域 (64M バイト)	キャッシュ無効エリア	
5C00_0000 - 5FFF_FFFF	SPI マルチ I/O バス領域チャンネル 1 ミラー領域 (64M バイト)		
6000_0000 - 609F_FFFF	大容量内蔵 RAM (保持用内蔵 RAM 含む) ミラー領域 (10M バイト)		
60A0_0000 - FFFF_FFFF	I/O 領域、予約領域	ストロングリエリア	

6.2. L1キャッシュとL2キャッシュについて

RZ/A1HはL1 キャッシュとL2 キャッシュの2種類のキャッシュメモリを内蔵しています。

以下にブロック図を示します。



## 6.3. FPGA空間のBSC設定

## (1) CMNCRLレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	TL0	-	-	-	AL0	-	-	-	-	-	-	-	-
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	DPRTY[1:0]	-	-	-	-	-	-	-	-	HIZ MEM	HIZ CNT
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

## 設定の意味

- TL0 = 0 : TEND0をローアクティブ出力
- AL0 = 0 : DACK0をローアクティブ出力
- DPRTY = 0 : DMAバースト転送中にリフレッシュ要求を受け付ける
- HIZMEM = 0 : 低消費モード時メモリコントロール信号ハイインピーダンス
- HIZCNT = 0 : 低消費モード時CKE/RAS/CAS ハイインピーダンス

## (2) CS2BCRLレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
設定値	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]			-	BSZ[1:0]		-	-	-	-	-	-	-	-	-
設定値	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0

## 設定の意味

- IWW = 2 : WR<->RD/WR<->WRサイクル間 2アイドル
- IWRWD = 2 : 別空間 RD<->WRサイクル間 2アイドル
- IWRWS = 2 : 同空間 RD<->WRサイクル間 2アイドル
- IWRRD = 2 : 別空間 RD<->RDサイクル間 2アイドル
- IWRRS = 2 : 同空間 RD<->RD サイクル間 2アイドル
- TYPE = 3 : バイト選択付き SRAM
- BSZ = 2 : データバス幅16ビット

## (3) CS2WCRLレジスタ

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
設定値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-		SW[1:0]				WR[3:0]		WM	-	-	-	-		HW[1:0]
設定値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0

## 設定の意味

- ・BAS = 1 : WE#はリードライトアクセスサイクル中アサート、RD/WR#はライトタイミングでアサート
- ・SW = 0 : リード遅延0.5サイクル
- ・WR = 3 : アクセスウェイト 3サイクル
- ・WM = 0 : 外部ウェイト入力有効
- ・HW = 0 : ライト遅延0.5サイクル

## 7. FPGA用サンプルI/Oロジック

サンプル I/O ロジックは、IRQ2, WAIT 信号は未使用です。

また、CS3 空間も未使用となります。

### 7.1. アドレス空間

CS 空間	アドレス	分類	内容	備考
CS2	4800_0000 : 4800_7FFF	FPGA I/O 空間	FPGA I/O 入出力用レジスタ ・バス幅 16 ビット ・8/16 ビットアクセス	
	4800_8000 : 4800_BFFF	FPGA RAM 空間 (全容量:270K ビット)	FPGA 内蔵 RAM (16K バイト) ・バス幅 16 ビット ・8/16 ビットアクセス	
	4800_C000 : 4800_FFFF		FPGA 内蔵 RAM (16K バイト)	未使用 (ユーザ開放)
	4801_0000 : 4BFF_FFFF	使用不可 (ミラー領域)		
CS3	4C00_0000 : 4FFF_FFFF	外部空間と兼用		未使用

### 7.2. FPGA I/O入出力用レジスタマップ

機能	アドレス	リード時	ライト時	備考
入出力方向設定 (IO15~0)レジスタ	4800_0000	設定データの読出し	設定データの書込み	
入出力方向設定 (IO31~16)レジスタ	4800_0002	設定データの読出し	設定データの書込み	
入出力方向設定 (IO39~32)レジスタ	4800_0004	設定データの読出し	設定データの書込み	
未使用	4800_0006 : 4800_000E			
入出力データ (IO15~0)レジスタ	4800_0010	外部入力 又は 出力データの読出し	無効 又は 出力データの書込み	方向設定による
入出力データ (IO31~16)レジスタ	4800_0012	外部入力 又は 出力データの読出し	無効 又は 出力データの書込み	方向設定による
入出力データ (IO39~32)レジスタ	4800_0014	外部入力 又は 出力データの読出し	無効 又は 出力データの書込み	方向設定による
未使用	4800_0016 : 4800_001E			
デバッグSW入力レジスタ	4800_0020	SW 入力	無効	
デバッグ用LED制御切替えレジスタ	4800_0022	LED 出力データの読出し	LED 出力データの書込み	
未使用	4800_0024 : 4800_00FF			
ミラー領域	4800_0100 : 4800_7FFF			

## 7.3. I/Oレジスタ詳細

## (1) 入出力方向設定 (IO15~0) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
4800_0000	15	FPGA_IO_15 信号の入出力方向設定	0 = 入力 1 = 出力	0 = 入力 1 = 出力	0
	0	FPGA_IO_0 信号の入出力方向設定			

## (2) 入出力方向設定 (IO31~16) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
4800_0002	15	FPGA_IO_31 信号の入出力方向設定	0 = 入力 1 = 出力	0 = 入力 1 = 出力	0
	0	FPGA_IO_16 信号の入出力方向設定			

## (3) 入出力方向設定 (IO39~32) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
4800_0004	15	未使用	0 = 入力 1 = 出力	0 = 入力 1 = 出力	0
	8	未使用			
	7	FPGA_IO_39 信号の入出力方向設定			
	0	FPGA_IO_32 信号の入出力方向設定			

## (4) 入出力データ (IO15~0) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
4800_0010	15	FPGA_IO_15 信号の入出力データ	入出力方向設定=0 外部入力 入出力方向設定=1 出力データリードバック	入出力方向設定=0 無効 入出力方向設定=1 外部出力	0
	0	FPGA_IO_0 信号の入出力データ			

## (5) 入出力データ (IO31~16) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
4800_0012	15	FPGA_IO_31 信号の入出力データ	入出力方向設定=0 外部入力 入出力方向設定=1 出力データリードバック	入出力方向設定=0 無効 入出力方向設定=1 外部出力	0
	0	FPGA_IO_16 信号の入出力データ			

## (6) 入出力データ (IO39~32) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
4800_0014	15	未使用	入出力方向設定=0 外部入力 入出力方向設定=1 出力データリードバック	入出力方向設定=0 無効 入出力方向設定=1 外部出力	0
	8				
	7	FPGA_IO_39 信号の入出力データ			
	0	FPGA_IO_32 信号の入出力データ			

## (7) デバッグ SW 入力レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
4800_0020	15   2	未使用			
	1	SW2-2	0=OFF 1=ON	無効	
	0	SW2-1			

## (8) デバッグ LED 制御切替えレジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
4800_0022	15   8	未使用			
	7	LED 制御切り替え	右記設定内容の 読出し	0=ハード制御 (SW2とLEDが連動) 1=ソフト制御 (下記ビット1,0有効)	0
	6   2	未使用			
	1	LED6 設定	LED 状態の読出し	0=消灯 1=点灯	0
	0	LED5 設定			




8. I/O割付け


ポート/ 専用機能	モード 機能	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6	機能 7	機能 8	拡張 コネクタ	備考
JP0_0		TDI									JTAG
JP0_1		TDO									JTAG
P0_0	MD_BOOT0										SW4-1
P0_1	MD_BOOT1										GND 固定
P0_2	MD_CLK										SW4-3
P0_3	MD_CLKS										SW4-4
P0_4		RTC_X3									SW1-1
P0_5		RTC_X4									SW1-4
P1_0		RIIC0SCL	DV0_DATA16	TCLKA	IRQ0	VIO_VD	DV0_VSYNC			CN2-37	
P1_1		RIIC0SDA	DV0_DATA17	TCLKC	IRQ1	VIO_HD	DV0_HSYNC			CN2-38	
P1_2		RIIC1SCL	DV0_DATA18	FRB	IRQ2			LCD1_EXTCLK			FPGA INT
P1_3		RIIC1SDA	DV0_DATA19	ET_COL	IRQ3	ADTRG				CN3-12	
P1_4		RIIC2SCL	DV0_CLK	CAN1RX	IRQ4			CAN_CLK		CN2-41	
P1_5		RIIC2SDA	DV1_CLK	CAN4RX	IRQ5	VIO_CLK		LCD1_EXTCLK		CN2-42	
P1_6		RIIC3SCL	DV1_VSYNC	IEXD	IRQ6	VIO_D12	DV0_DATA12			CN3-48	
P1_7		RIIC3SDA	DV1_HSYNC	RLLN30RX	IRQ7	VIO_D13	DV0_DATA13			CN3-47	
P1_8		AN0		IRQ2	DREQ0	VIO_D14	DV0_DATA14			CN3-10	
P1_9		AN1		IRQ3		VIO_D15	DV0_DATA15			CN3-9	
P1_10		AN2		IRQ4	TCLKB					CN3-8	
P1_11		AN3		IRQ5	TCLKD					CN3-7	
P1_12		AN4	DV0_VSYNC		VIO_FLD					CN3-4	
P1_13		AN5	DV0_HSYNC		WAIT					CN3-39	FPGA と兼用
P1_14		AN6			ET_COL					CN2-12	
P1_15		AN7			AVB_CAPTURE					CN3-3	
P2_0		D16	ET_TXCLK	DV0_DATA0	SPBIO0_1	MLB_CLK	IRQ5	VIO_D0	LCD0_DATA16	CN2-25	
P2_1		D17	ET_TXER	DV0_DATA1	SPBIO10_1	MLB_DAT	TIOC2A	VIO_D1	LCD0_DATA17	CN2-26	
P2_2		D18	ET_TXEN	DV0_DATA2	SPBIO20_1	MLB_SIG	TIOC2B	VIO_D2	LCD0_DATA18	CN2-23	
P2_3		D19	ET_CRS	DV0_DATA3	SPBIO30_1	IEXD	CTS1	VIO_D3	LCD0_DATA19	CN2-24	
P2_4		D20	ET_TXD0	DV0_DATA4	SSISCK5	SPBCLK_1	SCK1	VIO_D4	LCD0_DATA20	CN2-27	
P2_5		D21	ET_TXD1	DV0_DATA5	SSIWS5	SPBSSL_1	TxD1	VIO_D5	LCD0_DATA21	CN2-28	
P2_6		D22	ET_TXD2	DV0_DATA6	SSIRxD5		RxD1	VIO_D6	LCD0_DATA22	CN2-29	
P2_7		D23	ET_TXD3	DV0_DATA7	SSITxD5	IETxD	RTS1	VIO_D7	LCD0_DATA23	CN2-30	
P2_8		D24	ET_RXD0	DV0_DATA8	SSISCK0	LCD0_TCON6	LCD1_DATA8	VIO_D8	RSPCK4	CN2-15	
P2_9		D25	ET_RXD1	DV0_DATA9	SSIWS0	RLLN30RX	LCD1_DATA9	VIO_D9	SSL40	CN2-16	
P2_10		D26	ET_RXD2	DV0_DATA10	SSIRxD0	RLLN30TX	LCD1_DATA10	VIO_D10	MOS4	CN2-17	
P2_11		D27	ET_RXD3	DV0_DATA11	SSITxD0	TIOC1A	LCD1_DATA11	VIO_D11	MISO4	CN2-18	
P2_12		D28	RSPCK0	DV0_DATA12	SPBIO01_0	CAN3RX	IRQ6	LCD1_DATA12	TIOC1B	CN2-46	
P2_13		D29	SSL00	DV0_DATA13	SPBIO11_0	CAN3TX	SCK0	LCD1_DATA13	IRQ7	CN2-45	
P2_14		D30	MOS00	DV0_DATA14	SPBIO21_0	CAN4RX	TxD0	LCD1_DATA14	IRQ0	CN2-47	
P2_15		D31	MISO0	DV0_DATA15	SPBIO31_0	CAN_CLK	RxD0	LCD1_DATA15	IRQ1	CN2-36	

: MCU ボード内の固定機能

: MCU ボード内で使用しない場合は任意に使用可能 (FPGA, LED)

ポート/ 専用機能	モード 機能	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6	機能 7	機能 8	拡張 コネクタ	備考
P3_0		LCD0_CLK	ET_TXCLK	IRQ2	SCK2	SCL_SCK1	TxD2	PWM2A	RSPCK3	CN5-9	
P3_1		LCD0_TCON0	ET_TXER	IRQ6	TxD2	SCL_TXD1	AUDIO_CLK	PWM2B	SSL30	CN6-10	
P3_2		LCD0_TCON1	ET_TXEN		RxD2	SCL_RXD1	TEND0	PWM2C	MOS3	CN6-9	
P3_3		LCD0_TCON2	ET_MDIO	IRQ4	BS	SCL_CTS1/RT	DACK0	PWM2D	MISO3	CN2-20	
P3_4		LCD0_TCON3	ET_RXCLK	SSISCK1	AUDIO_XOUT2	SCL_SCK0	TIOC3A	SCK3		CN2-13	
P3_5		LCD0_TCON4	ET_RXER	SSIWS1	AUDIO_XOUT3	SCL_TXD0	TIOC3B	TxD3		CN2-14	
P3_6		LCD0_TCON5	ET_RXDV	SSIRxD1		SCL_RXD0	TIOC3C	RxD3		CN2-11	
P3_7		LCD0_TCON6		SSITxD1	LCD1_EXTCCLK	SCL_CTS0/	TIOC3D	CS1	WDTOVF	CN3-11	
P3_8		LCD0_DATA0		NAF0		TRACEDATA0	TIOC4A	SD_CD_1	MMC_CD	CN2-55	
P3_9		LCD0_DATA1		NAF1		TRACEDATA1	TIOC4B	SD_WP_1	IRQ6	CN2-54	
P3_10		LCD0_DATA2		NAF2		TRACEDATA2	TIOC4C	SD_D1_1	MMC_D1	CN2-53	
P3_11		LCD0_DATA3		NAF3		TRACEDATA3	TIOC4D	SD_D0_1	MMC_D0	CN2-52	
P3_12		LCD0_DATA4		NAF4				SD_CLK_1	MMC_CLK	CN2-51	
P3_13		LCD0_DATA5		NAF5	AUDIO_XOUT			SD_CMD_1	MMC_CMD	CN2-50	
P3_14		LCD0_DATA6		NAF6		TRACECLK		SD_D3_1	MMC_D3	CN2-49	
P3_15		LCD0_DATA7		NAF7		TRACECTL		SD_D2_1	MMC_D2	CN2-48	
P4_0		LCD0_DATA8	TIOC0A	FRE				RSPCK4	MMC_D4	CN2-10	
P4_1		LCD0_DATA9	TIOC0B	FCLE		SCK2		SSL40	MMC_D5	CN2-9	
P4_2		LCD0_DATA10	TIOC0C	FALE	CAN3RX	TxD2		MOS4	MMC_D6	CN2-8	
P4_3		LCD0_DATA11	TIOC0D	FWE	CAN3TX	RxD2		MISO4	MMC_D7	CN2-7	
P4_4		LCD0_DATA12	RSPCK1	TIOC4A	PWM2E	SSISCK0		DV0_DATA12		CN2-6	
P4_5		LCD0_DATA13	SSL10	TIOC4B	PWM2F	SSIWS0		DV0_DATA13		CN2-5	
P4_6		LCD0_DATA14	MOS11	TIOC4C	PWM2G	SSIRxD0		DV0_DATA14		CN5-17	
P4_7		LCD0_DATA15	MISO1	TIOC4D	PWM2H	SSITxD0		DV0_DATA15		CN5-16	
P4_8		LCD0_DATA16	LCD1_TCON3	SD_CD_0	MMC_CD	SSISCK5	CAN2TX	SCK0	IRQ0	CN5-11	
P4_9		LCD0_DATA17	LCD1_TCON4	SD_WP_0		SSIWS5	CAN2RX	TxD0	IRQ1	CN5-12	
P4_10		LCD0_DATA18	LCD1_TCON5	SD_D1_0	MMC_D1	SSIRxD5		RxD0	IRQ2	CN5-10	LED1 と兼用
P4_11		LCD0_DATA19	LCD1_TCON6	SD_D0_0	MMC_D0	SSITxD5	CAN4TX	SCK1	IRQ3	CN5-15	LED2 と兼用
P4_12		LCD0_DATA20	LCD1_CLK	SD_CLK_0	MMC_CLK	SPBIO01_1	SSISCK3	TxD1	IRQ4	CN5-14	LED3 と兼用
P4_13		LCD0_DATA21	LCD1_TCON0	SD_CMD_0	MMC_CMD	SPBIO11_1	SSIWS3	RxD1	IRQ5	CN5-13	LED4 と兼用
P4_14		LCD0_DATA22	LCD1_TCON1	SD_D3_0	MMC_D3	SPBIO21_1	SSIRxD3	TxD2	IRQ6	CN2-43	
P4_15		LCD0_DATA23	LCD1_TCON2	SD_D2_0	MMC_D2	SPBIO31_1	SSITxD3	RxD2	IRQ7	CN2-44	
P5_0		TXCLKOUTP	LCD1_DATA0	LCD0_DATA16	DV1_DATA0	TxD4	TIOC0A		RSPCK3	CN6-18	
P5_1		TXCLKOUTM	LCD1_DATA1	LCD0_DATA17	DV1_DATA1	RxD4	TIOC0B		SSL30	CN6-17	
P5_2		TXOUT2P	LCD1_DATA2	LCD0_DATA18	DV1_DATA2	SCK3	TIOC1B		MOS3	CN6-16	
P5_3		TXOUT2M	LCD1_DATA3	LCD0_DATA19	DV1_DATA3	TxD3	TIOC3C		MISO3	CN6-15	
P5_4		TXOUT1P	LCD1_DATA4	LCD0_DATA20	DV1_DATA4	RxD3	TIOC3D		DV0_DATA12	CN6-14	
P5_5		TXOUT1M	LCD1_DATA5	LCD0_DATA21	DV1_DATA5	AUDIO_XOUT	TIOC0C	FCE	DV0_DATA13	CN6-13	
P5_6		TXOUT0P	LCD1_DATA6	LCD0_DATA22	DV1_DATA6	TxD6	IRQ6	SPDIF_IN	DV0_DATA14	CN6-12	
P5_7		TXOUT0M	LCD1_DATA7	LCD0_DATA23	DV1_DATA7	RxD6	TIOC0D	SPDIF_OUT	DV0_DATA15	CN6-11	
P5_8		LCD0_EXTCCLK	IRQ0	DV1_CLK		DV0_CLK	CS2				FPGA CS
P5_9		WE2/DQMUL	ET_MDC	DV0_VSYNC	IRQ2	CAN1RX	IETxD	LCD1_DATA16		CN2-19	
P5_10		WE3/DQMUU/ AH		DV0_HSYNC		CAN1TX	IETxD	LCD1_DATA17		CN2-32	

 : MCU ボード内の固定機能


 : MCU ボード内で使用しない場合は任意に使用可能 (FPGA, LED)

ポート/ 専用機能	モード 機能	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6	機能 7	機能 8	拡張 コネクタ	備考
P6_0		D0	LCD1_DATA8	RLIN30RX	DV0_CLK	TIOC1A	IRQ5	RxD3	DV0_DATA16	CN6-8	FPGA と兼用
P6_1		D1	LCD1_DATA9	RLIN30TX	IRQ4	TIOC1B	SSIDATA4	TxD3	DV0_DATA17	CN6-7	FPGA と兼用
P6_2		D2	LCD1_DATA10	RLIN31RX	IRQ7	TCLKA	TIOC2A	RxD2	DV0_DATA18	CN6-6	FPGA と兼用
P6_3		D3	LCD1_DATA11	RLIN31TX	IRQ2	CTS5	TIOC2B	TxD2	DV0_DATA19	CN6-5	FPGA と兼用
P6_4		D4	LCD1_DATA12	CAN2RX	IRQ3	RTS5		RSPCK1	DV0_DATA20	CN6-4	FPGA と兼用
P6_5		D5	LCD1_DATA13	CAN2TX		SCK5		SSL10	DV0_DATA21	CN6-3	FPGA と兼用
P6_6		D6	LCD1_DATA14		LCD0_TCON5	TxD5		MOSI1	DV0_DATA22	CN3-58	FPGA と兼用
P6_7		D7	LCD1_DATA15		LCD0_TCON6	RxD5		MISO1	DV0_DATA23	CN3-57	FPGA と兼用
P6_8		D8	DV0_DATA12		CAN_CLK	SCK0	LCD0_DATA0		IRQ0	CN3-56	FPGA と兼用
P6_9		D9	DV0_DATA13			TxD0	LCD0_DATA1		IRQ1	CN3-55	FPGA と兼用
P6_10		D10	DV0_DATA14		LCD0_TCON5	RxD0	LCD0_DATA2		IRQ2	CN3-54	FPGA と兼用
P6_11		D11	DV0_DATA15		LCD0_TCON6	SCK1	LCD0_DATA3		IRQ3	CN3-53	FPGA と兼用
P6_12		D12	DV0_DATA20			TxD1	LCD0_DATA4		IRQ4	CN3-52	FPGA と兼用
P6_13		D13	DV0_DATA21		SCK6	RxD1	LCD0_DATA5		IRQ5	CN3-51	FPGA と兼用
P6_14		D14	DV0_DATA22		TxD6		LCD0_DATA6		IRQ6	CN3-50	FPGA と兼用
P6_15		D15	DV0_DATA23		RxD6		LCD0_DATA7		IRQ7	CN3-49	FPGA と兼用
P7_0	MD_BOOT2	CS0	DV0_DATA16	ET_MDC	SCK4	RLIN30TX		TIOC0A			'H' 固定
P7_1		CS3	DV0_DATA17	ET_TXCLK	TxD4	DV0_CLK	SSISCK1	TIOC0B		CN3-46	FPGA と兼用
P7_2		RAS	DV0_DATA18	ET_TXER	RxD4	CAN2RX	SSIWS1	TIOC0C			SW1-2
P7_3		CAS	DV0_DATA19	ET_TXEN	SCK7	CAN2TX	SSIRxD1	TIOC0D			SW1-3
P7_4		CKE	DV0_DATA20	ET_TXD0	TxD7		SSITxD1	TIOC1A			FPGA ロード完了
P7_5		RD/WR	DV0_DATA21	ET_TXD1	RxD7		SSISCK2	TIOC1B		CN3-45	FPGA と兼用
P7_6		WE0/DQMLL	DV0_DATA22	ET_TXD2	CTS7		SSIWS2	TIOC2A		CN3-40	FPGA と兼用
P7_7		WE1/DQMLU	DV0_DATA23	ET_TXD3	RTS7		SSIDATA2	TIOC2B		CN3-38	FPGA と兼用
P7_8		RD	SSISCK3		CAN0RX			TIOC3A	IRQ1	CN3-44	FPGA と兼用
P7_9		A1	SSIWS3	ET_RXD0	CAN0TX			TIOC3B	IRQ0	CN3-37	FPGA と兼用
P7_10		A2	SSIRxD3	ET_RXD1	CAN1TX			TIOC3C	IRQ2	CN3-36	FPGA と兼用
P7_11		A3	SSITxD3	ET_RXD2	CAN1RX			TIOC3D	IRQ3	CN3-35	FPGA と兼用
P7_12		A4	SSISCK4	ET_RXD3				TIOC4A	IRQ4	CN3-34	FPGA と兼用
P7_13		A5	SSIWS4	ET_MDIO				TIOC4B	IRQ5	CN3-33	FPGA と兼用
P7_14		A6	SSIDATA4	ET_CRS				TIOC4C	IRQ6	CN3-32	FPGA と兼用
P7_15		A7	RSPCK0	ET_RXCLK	CTS5	SCI_TXD0		TIOC4D		CN3-31	FPGA と兼用
P8_0		A8	SSL00	ET_RXER	SCK5	SCI_SCK0				CN3-30	FPGA と兼用
P8_1		A9	MOSI0	ET_RXDV	TxD5	SCI_RXD0				CN3-29	FPGA と兼用
P8_2		A10	MISO0	AVB_GPTP _EXTERN	RxD5	IRQ0				CN3-28	FPGA と兼用
P8_3		A11	DV1_DATA0	RSPCK2	RTS5		IRQ1	SCK2		CN3-27	FPGA と兼用
P8_4		A12	DV1_DATA1	SSL20			IERxD	RxD2		CN3-26	FPGA と兼用
P8_5		A13	DV1_DATA2	MOSI2						CN3-25	FPGA と兼用
P8_6		A14	DV1_DATA3	MISO2			IETxD	TxD2		CN3-22	FPGA と兼用
P8_7		A15	DV1_DATA4	AUDIO_XOUT	IRQ5	ET_COL				CN3-21	FPGA と兼用
P8_8		A16	DV1_DATA5	SPBIO00_1	SPDIF_IN	TIOC1A	PWM1A	TxD3	SSISCK5	CN3-16	
P8_9		A17	DV1_DATA6	SPBIO10_1	SPDIF_OUT	TIOC1B	PWM1B	RxD3	SSIWS5	CN3-15	
P8_10		A18	DV1_DATA7	SPBIO20_1	TIOC3A	CAN4TX	PWM1C	SGOUT_0	SSITxD5	CN3-18	
P8_11		A19		SPBIO30_1	TIOC3B	RxD5	PWM1D	SGOUT_1	DV0_CLK	CN3-17	
P8_12		A20		SPBCLK_1	TIOC3C	SCK5	PWM1E	SGOUT_2	SSISCK4	CN3-14	
P8_13		A21		SPBSSL_1	TIOC3D	TxD5	PWM1F	SGOUT_3	SSIWS4	CN3-13	
P8_14		A22	SPBIO01_0	SPBIO00_1	TIOC2A	RSPCK2	PWM1G	TxD4	SSIDATA4		FRAM
P8_15		A23	SPBIO11_0	SPBIO10_1	TIOC2B	SSL20	PWM1H	RxD4			FRAM

: MCU ボード内の固定機能

: MCU ボード内で使用しない場合は任意に使用可能 (FPGA, LED)

ポート/ 専用機能	モード 機能	機能1	機能2	機能3	機能4	機能5	機能6	機能7	機能8	拡張 コネクタ	備考
P9_0		A24	SPBIO21.0	CAN0TX	TCLKC	MOSI2					FRAM
P9_1		A25	SPBIO31.0	CAN0RX	IRQ0	MISO2					FRAM
P9_2		LCD1_DATA18	SPBCLK.0	RLIN30TX	SCK1	A0					FlashROM
P9_3		LCD1_DATA19	SPBSSL.0		TxD1						FlashROM
P9_4		LCD1_DATA20	SPBIO00.0		RxD1						FlashROM
P9_5		LCD1_DATA21	SPBIO10.0	SSISCK2	CTS1	CS4					FlashROM
P9_6		LCD1_DATA22	SPBIO20.0	SSIWS2	RTS1	CS5					FlashROM
P9_7		LCD1_DATA23	SPBIO30.0	SSIDATA2	TIOC1A						FlashROM

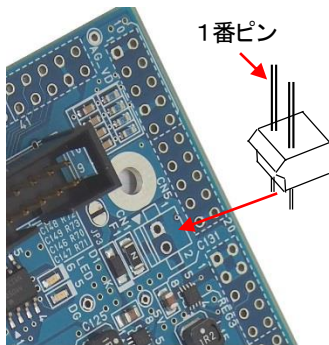
 : MCU ボード内の固定機能

## 9. コネクタマップ

### 9.1. CN1:電源コネクタ (B2P-SHF-1AA:日圧)

No	信号名	備考
1	+5V または+3.3V	安定化電源
2	GND	

- ・出荷時このコネクタは実装されておりません、使用される場合は下図の方向にて実装して半田付けして頂き下記点に注意してご使用してください。
- ・CN1-1ピンと、CN3-1,2ピンは繋がっています、いずれかのコネクタから電源の供給となります。
- ・CN1より電源を供給する場合はCN2の1,2番ピンは使用しないで下さい。



### 9.2. CN2:拡張コネクタ (HIF3H-60PB-2.54DSA(71):ヒロセ)

No	信号名	備考	No	信号名	備考
1	+5V (注. 1)	電源入力/出力	2	+5V (注. 1)	電源入力/出力
3	+5V (注. 1)	電源入力/出力	4	+5V (注. 1)	電源入力/出力
5	P4_5		6	P4_4	
7	P4_3		8	P4_2	
9	P4_1		10	P4_0	
11	P3_6		12	P1_14	
13	P3_4		14	P3_5	
15	P2_8		16	P2_9	
17	P2_10		18	P2_11	
19	P5_9		20	P3_3	
21	DGND		22	DGND	
23	P2_2		24	P2_3	
25	P2_0		26	P2_1	
27	P2_4		28	P2_5	
29	P2_6		30	P2_7	
31	NC1		32	P5_10	
33	USB_DM1	USB	34	USB_VBUS1	USB
35	USB_DP1	USB	36	P2_15	
37	P1_0		38	P1_1	
39	DGND		40	DGND	
41	P1_4		42	P1_5	
43	P4_14		44	P4_15	
45	P2_13		46	P2_12	
47	P2_14		48	P3_15	
49	P3_14		50	P3_13	
51	P3_12		52	P3_11	
53	P3_10		54	P3_9	
55	P3_8		56	ExNMI#	入力/出力
57	DGND		58	DGND	
59	ExRST# (注. 2)	入力または出力	60	NC2	

注. 1 この端子から+5Vを供給する場合はCN1は使用しないで下さい。

注. 2 10.2 リセットを参照して下さい。

## 9.3. CN3: 拡張コネクタ (HIF3H-60PB-2.54DSA(71):ヒロセ)

No	信号名	備考	No	信号名	備考
1	AVCC	出力 (+3.3V)	2	VREF (注. 1)	入力 (max+3.3V)
3	P1_15		4	P1_12	
5	AGND		6	AGND	
7	P1_11		8	P1_10	
9	P1_9		10	P1_8	
11	P3_7		12	P1_3	
13	P8_13		14	P8_12	
15	P8_9		16	P8_8	
17	P8_11		18	P8_10	
19	AGND		20	AGND	
21	P8_7/A15	FPGA と兼用	22	P8_6/A14	FPGA と兼用
23	DGND		24	DGND	
25	P8_5/A13	FPGA と兼用	26	P8_4/A12	FPGA と兼用
27	P8_3/A11	FPGA と兼用	28	P8_2/A10	FPGA と兼用
29	P8_1/A9	FPGA と兼用	30	P8_0/A8	FPGA と兼用
31	P7_15/A7	FPGA と兼用	32	P7_14/A6	FPGA と兼用
33	P7_13/A5	FPGA と兼用	34	P7_12/A4	FPGA と兼用
35	P7_11/A3	FPGA と兼用	36	P7_10/A2	FPGA と兼用
37	P7_9/A1	FPGA と兼用	38	P7_7/WE1# (10K で Pull-UP)	FPGA と兼用
39	P1_13/WAIT# (10K で Pull-UP)	FPGA と兼用	40	P7_6/WE0# (10K で Pull-UP)	FPGA と兼用
41	DGND		42	DGND	
43	CKIO	FPGA と兼用	44	P7_8/RD# (10K で Pull-UP)	FPGA 兼用
45	P7_5/RD-WR# (10K で Pull-UP)	FPGA と兼用	46	P7_1/CS3# (10K で Pull-UP)	
47	P1_7		48	P1_6	
49	P6_15/D15	FPGA と兼用	50	P6_14/D14	FPGA と兼用
51	P6_13/D13	FPGA と兼用	52	P6_12/D12	FPGA と兼用
53	P6_11/D11	FPGA と兼用	54	P6_10/D10	FPGA と兼用
55	P6_9/D9	FPGA と兼用	56	P6_8/D8	FPGA と兼用
57	P6_7/D7	FPGA と兼用	58	P6_6/D6	FPGA と兼用
59	DGND		60	DGND	

注. 1 10.4 アナログリファレンス電源 内部+3.3Vと外部Vrefの切替えを参照して下さい。

## 9.4. CN4: 拡張コネクタ (HIF3H-50PB-2.54DSA(71):ヒロセ)

No	信号名	備考	No	信号名	備考
1	DGND		2	DGND	
3	FPGA_IO_00		4	FPGA_IO_01	
5	FPGA_IO_02		6	FPGA_IO_03	
7	FPGA_IO_04		8	FPGA_IO_05	
9	FPGA_IO_06		10	FPGA_IO_07	
11	FPGA_IO_08		12	FPGA_IO_09	
13	FPGA_IO_10		14	FPGA_IO_11	
15	FPGA_IO_12		16	FPGA_IO_13	
17	FPGA_IO_14		18	FPGA_IO_15	
19	DGND		20	DGND	
21	FPGA_IO_16		22	FPGA_IO_17	
23	FPGA_IO_18		24	FPGA_IO_19	
25	FPGA_IO_20		26	FPGA_IO_21	
27	FPGA_IO_22		28	FPGA_IO_23	
29	FPGA_IO_24		30	FPGA_IO_25	
31	FPGA_IO_26		32	FPGA_IO_27	
33	FPGA_IO_28		34	FPGA_IO_29	
35	FPGA_IO_30		36	FPGA_IO_31	
37	DGND		38	DGND	
39	FPGA_IO_32		40	FPGA_IO_33	
41	FPGA_IO_34		42	FPGA_IO_35	
43	FPGA_IO_36		44	FPGA_IO_37	
45	FPGA_IO_38		46	FPGA_IO_39	
47	DGND		48	DGND	
49	+3.3V (注. 1)	出力	50	+3.3V (注. 1)	出力

注. 1 11.1 拡張コネクタ(6) を参照して下さい。

## 9.5. CN5: 拡張コネクタ (HIF3H-20PB-2.54DSA(71):ヒロセ)

No	信号名	備考	No	信号名	備考
1	AGND(ビデオ用)		2	AGND(ビデオ用)	
3	VIN1A		4	VIN2A	
5	VIN1B		6	VIN2B	
7	AGND(ビデオ用)		8	AGND(ビデオ用)	
9	P3_0		10	P4_10	内部 LED1 と兼用
11	P4_8		12	P4_9	
13	P4_13	内部 LED4 と兼用	14	P4_12	内部 LED3 と兼用
15	P4_11	内部 LED2 と兼用	16	P4_7	
17	P4_6		18	AUDIO_CLK	AUDIO CLK 出力
19	DGND		20	DGND	

## 9.6. CN6: 拡張コネクタ (HIF3H-20PB-2.54DSA(71):ヒロセ)

No	信号名	備考	No	信号名	備考
1	DGND		2	DGND	
3	P6_5/D5	FPGA と兼用	4	P6_4/D4	FPGA と兼用
5	P6_3/D3	FPGA と兼用	6	P6_2/D2	FPGA と兼用
7	P6_1/D1	FPGA と兼用	8	P6_0/D0	FPGA と兼用
9	P3_2		10	P3_1	
11	P5_7		12	P5_6	
13	P5_5		14	P5_4	
15	P5_3		16	P5_2	
17	P5_1		18	P5_0	
19	DGND		20	DGND	

## 9.7. CN7: マイコンデバッグコネクタ (XG4C-2031:オムロン)

No	信号名	備考	Np	信号名	備考
1	VTref		2	NC	
3	nTRST		4	GND	
5	TDI		6	GND	
7	TMS/SWDIO		8	GND	
9	TCK/SWCLK		10	GND	
11	RTCK		12	GND	
13	TDO/SWO		14	GND	
15	nSRST		16	GND	
17	DBGRRQ		18	GND	
19	DBGACK		20	GND	

## 9.8. CN8: USB(miniB)コネクタ (XM7D-514:オムロン)

No	信号名	備考
1	VBUS	5V IN
2	D-	
3	D+	
4	ID	NC
5	GND	

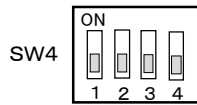
## 9.9. CN9:FPGA JTAGコネクタ (XG4C-1031:オムロン)

No	信号名	備考	No	信号名	備考
1	TCK		2	GND	
3	TDO		4	VCC	2.5V
5	TMS		6	VIO	2.5V
7	NC		8	NC	
9	TDI		10	GND	



## 10. 機能

### 10.1. RZ/A1Hのモード設定



SW4	設定内容	備考
SW4-1	ブートモード ON :モード0 CS0空間16ビットブート (ULink2/PRO 使用時) OFF:モード3 シリアルフラッシュブート	出荷時設定:OFF
SW4-2	JTAGモード ON :パウンダリスキャンモード(BSCANP 端子へ接続) OFF:通常動作	出荷時設定:OFF
SW4-3	クロックモード ON :USB_X1/水晶発振子 OFF:EXTAL/水晶発振子	出荷時設定:OFF
SW4-4	SSCG動作 ON :SSCG動作ON OFF:SSCG動作OFF	出荷時設定:OFF

動作モードの詳細は RZ/A1H グループ ユーザーズマニュアル ハードウェア編を参照して下さい。

### 10.2. リセット

リセット信号を拡張コネクタより入力するか、拡張コネクタへ出力するかを切替えます。

JP1		1番側ショート 拡張コネクタ(CN2-59)へリセット信号出力	出荷時設定
JP1		2番側ショート 拡張コネクタ(CN2-59)よりリセット信号入力	

### 10.3. 電源電圧監視

+5V 電源の電圧監視を有効にするか無効にするかを切替えます。

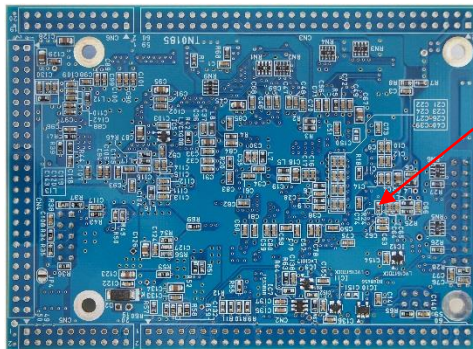
電源電圧の供給を+3.3Vで行う場合は無効にして下さい。

JP2		1番側ショート +5V電源の電圧を監視(+4.5V以下でNMI入力)	出荷時設定
JP2		2番側ショート +5V電源の電圧を監視無効	

## 10.4. アナログリファレンス電源 内部+3.3Vと外部Vrefの切替え

アナログリファレンス電圧を拡張コネクタより供給する場合は R24 を未実装にしてください。

また、リファレンス電圧の範囲は+3V~3.3V の範囲として下さい。



R24 に 0Ω(1608 サイズ) 抵抗を実装 (出荷時設定)

アナログリファレンス電源 = 内部+3.3V

CN3-2: 内部+3.3V 出力

R24 を未実装

アナログリファレンス電源 = 外部 Vref

CN3-2: 外部 Vref 入力

## 10.5. シリアルFlashROM

MP-RZA1H/FPGA-01には標準で16MバイトのシリアルFlashROM(S25FL128S: SPANSION)が搭載されています。

ブートモード3 では、本シリアルFlashROMに登録してあるローダープログラムが、同じくシリアルFlashROMに登録したユーザーのアプリケーションプログラムを内蔵RAMに転送し、実行させます。

## 10.6. FRAM

MP-RZA1H/FPGA-01にはデータバックアップ用に標準で32KバイトのシリアルFRAM(FM25V02: RAMTRON)が搭載されています。

## 10.7. USB

MP-RZA1H/FPGA-01にはデバッグ専用USB2.0 I/F(miniBコネクタ)を実装しています。

(MCU内蔵USBコントローラ チャンネル0を使用)。

SW4-1(ブートモード)をOFFにし

- ① USBケーブルを接続した状態で電源をONにするとシリアルFlashROMよりデバッグ用ファームをブートし、デバッグモニタが使用可能になります。(PC側はDEFnanoで操作)  
デバッグモニタによりプログラムのロード、シンボリックデバッグ、シリアルFlashROMの書き込み等が行えます。
- ② USBケーブル未接続の状態で電源をONにするとシリアルFlashROMよりユーザプログラムをロードし実行します。

## 10.8. LED

## (1)電源 LED (LED7)

電源 ON で点灯します。

## (2)汎用 LED (LED1~4 : MCUI/Oポートに接続)

“L”で点灯します。

## (3)汎用 LED (LED5,6 : FPGA I/Oポートに接続)

FPGA 経由で制御します。

詳細は7. FPGA用サンプルI/OロジックのI/Oレジスタ詳細を参照して下さい。

## 10.9. スイッチ

### (1)モード選択用 DIP スイッチ (SW4)

10.1 RZ/A1Hのモード設定を参照して下さい。

### (2)汎用 DIP スイッチ (SW1 : MCU I/O ポートに接続)

ON の時“L”を入力します。

OFF の時“H”を入力します。

### (3)汎用 DIP スイッチ (SW2 : FPGA I/O ポートに接続)

FPGA 経由でスイッチの入力を行います。

詳細は7. FPGA用サンプルI/OロジックのI/Oレジスタ詳細を参照して下さい。

### (4)リセット用タクタイルスイッチ

スイッチを押すことによりリセットを行います。

10.2 リセットの設定により拡張コネクタ(CN2-59)へリセット信号の出力が可能です。

## 11. 外部インターフェース

### 11.1. 拡張コネクタ

#### (1) CN2-1,2,3,4 (EX5V)

この端子は CN1 と接続されています。よって CN1 の電源がこの端子より外部に供給されます。  
また、この端子より電源の供給を受ける場合は CN1 は使用しないで下さい。

#### (2) CN2-56 (ExNMI#)

本ボード内の NMI 信号を外部へ出力します。  
また、外部より本ボードの MCU へ NMI 信号を入力します。

#### (3) CN2-59 (ExRST#)

10.2 リセットを参照して下さい。

#### (4) CN3-1 (AVCC)

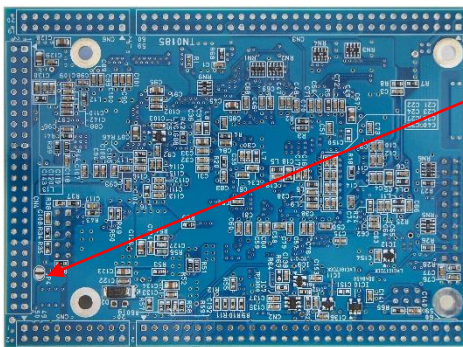
本ボード内部の MCU アナログ電源 +3.3V を出力します。

#### (5) CN3-2 (VREF)

10.4 アナログリファレンス電源 内部 +3.3V と外部 Vref の切替えを参照して下さい。

#### (6) CN4-49,50 (3.3V)

本ボード内部のロジック電源 +3.3V を出力します。  
出力する場合は JP4 をショートして下さい。



JP4 オープン (出荷時設定)

CN4-49,50 にロジック電源 +3.3V を出力しません。

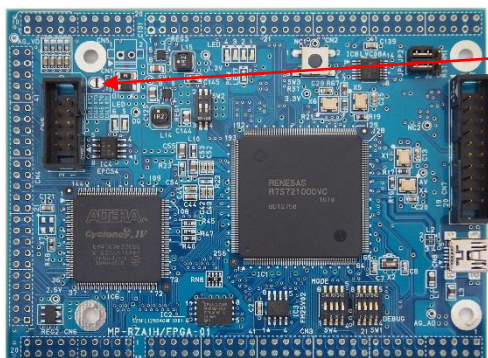
JP4 ショート

CN4-49,50 にロジック電源 +3.3V を出力します。

注. 供給可能な電流は、外部出力 (CN4-49,50) + 本ボード内 + 拡張 I/O ポート消費などの総合計で 1A 以内として下さい。

## 11.2. USBバスパワー

USB バスパワーを使用する場合は JP3 をショートして下さい。



JP3 オープン (出荷時設定)

USB バスパワー未使用。

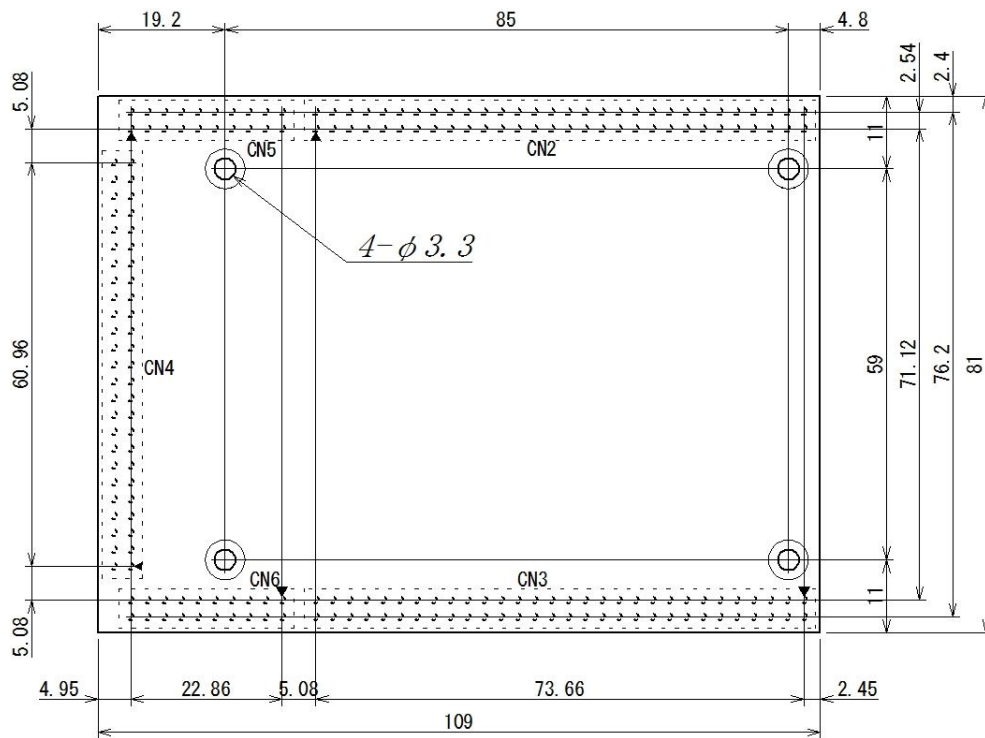
JP3 ショート

USB バスパワー使用。

USB バスパワーを使用する場合はデバッグモニタが動作しますので、ユーザープログラムの起動はできません。

ユーザープログラムを動作させる場合は CN1 コネクタより電源を供給して下さい。

12. 外形寸法図



13. 回路図

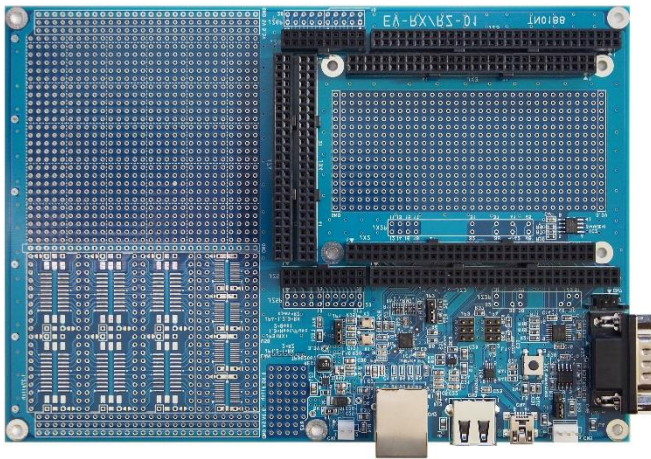
別紙参照

## 14. 関連製品

### 14.1. 評価ボード(EV-RX/RZ-01)

MP-RZA1H/FPGA-01、MP-RX63N/FPGA-01、MP-RX63N/CPLD-01 兼用の評価ボードです。

詳細は EV-RX/RZ-01 ハードウェアマニュアルを参照して下さい。



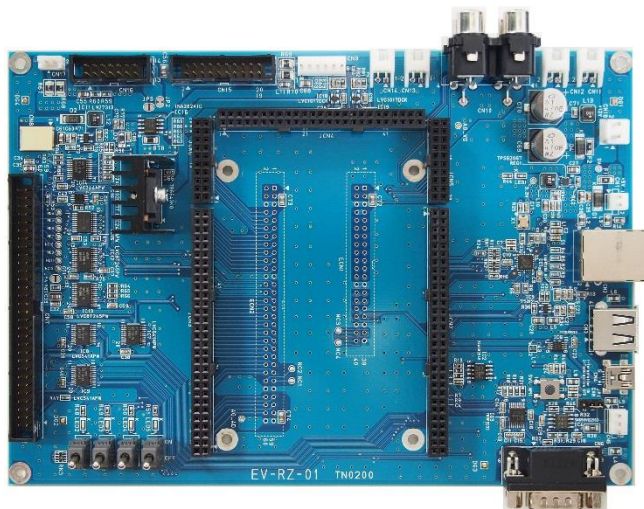
#### 搭載機能

- ・LAN
- ・USB ホスト
- ・USB ファンクション
- ・CAN
- ・RS232C
- ・NMI スイッチ
- ・ユニバーサルパターン

### 14.2. 評価ボード(EV-RZ-01)

MP-RZA1H/FPGA-01 専用の評価ボードです。

詳細は EV-RZ-01 ハードウェアマニュアルを参照して下さい。



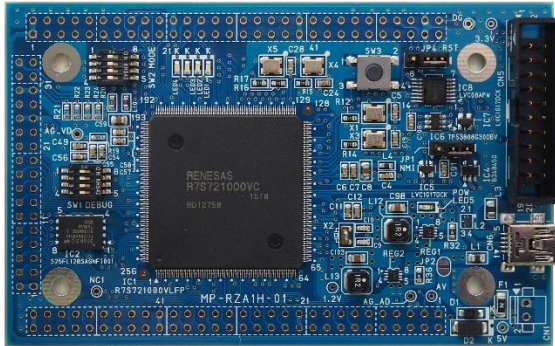
#### 搭載機能

- ・LAN
- ・USB ホスト
- ・USB ファンクション
- ・CAN
- ・RS232C
- ・NMI スイッチ
- ・デバッグ用スイッチ/LED
- ・カラーグラフィック液晶
- ・モノクログラフィック液晶
- ・キャラクタ液晶
- ・DC モータ
- ・NTSC カメラ入力
- ・拡張コネクタ

## 14.3. RZ単体 MCU ボード (MP-RZA1H-01)

RZ/A1H MCU 単独ボードです。

詳細は MP-RZA1H-01 ハードウェアマニュアルを参照して下さい。



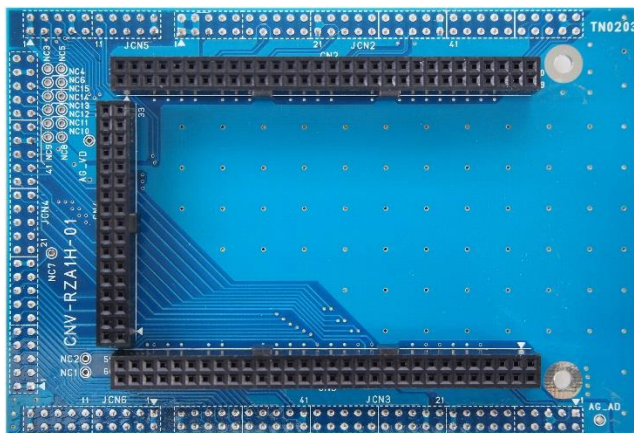
## 搭載機能

- ・RZ/A1H MCU
- ・シリアル FlashROM
- ・シリアル FRAM
- ・4.5V 電圧検出
- ・各水晶発振器
- ・RESET スイッチ
- ・DIP スイッチ, LED

## 14.4. RZ単体 MCU ボード コネクタ変換基板 (CNV-RZA1H-01)

RZ 単体 MCU ボード (MP-RZA1H-01) を評価ボード (EV-RX/RZ-01 または EV-RZ-01) へ接続するためのコネクタ変換ボードです。

詳細は MP-RZA1H-01 ハードウェアマニュアルを参照して下さい。



## 搭載機能

- ・部品面 : 上記 MP-RZA1H-01 用コネクタ
- ・半田面 : 評価ボード用コネクタ