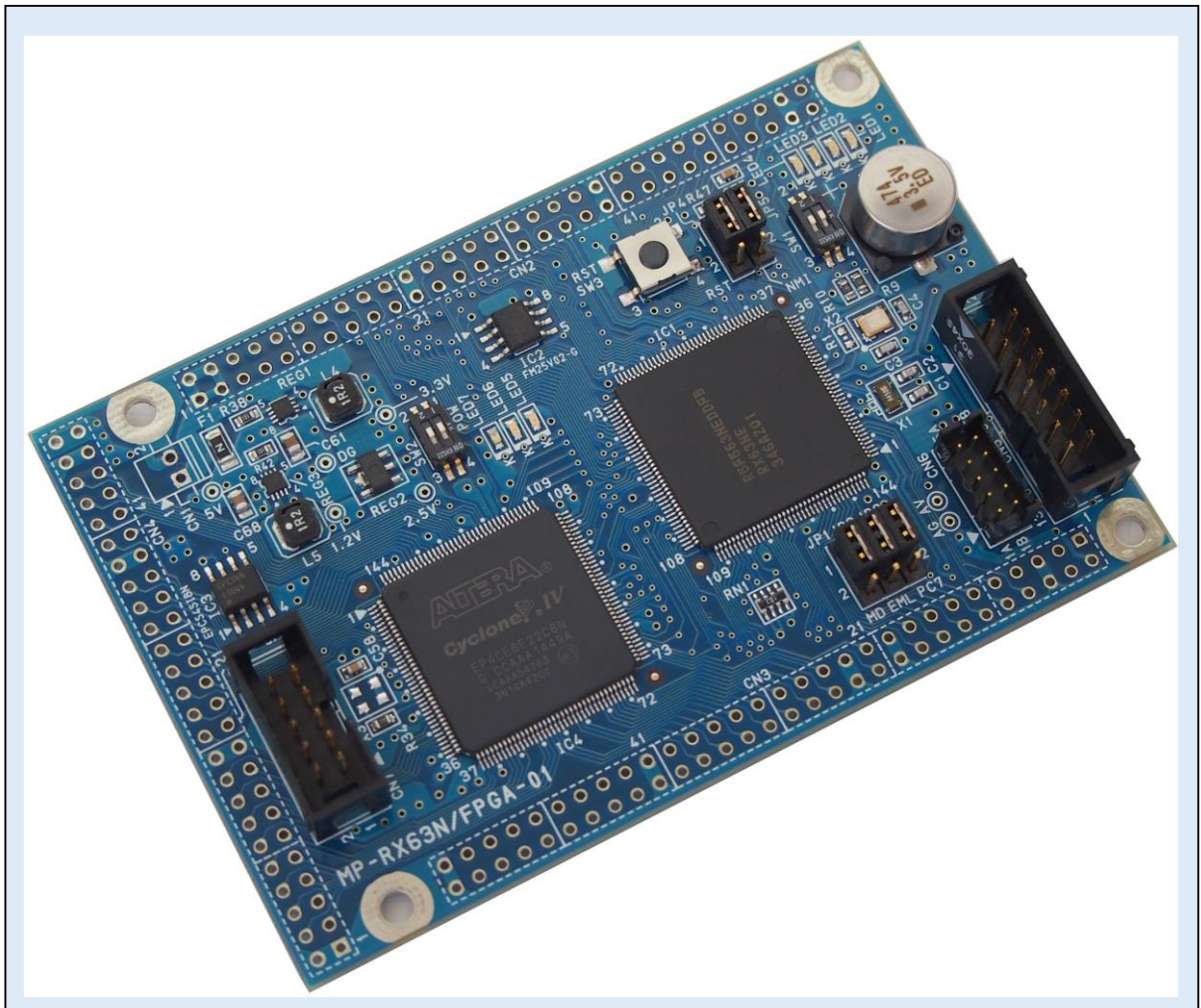


# MP-RX63N/FPGA-01

ハードウェアマニュアル Rev1. 00



商品説明ホームページ

URL : <http://www.robin-w.com/>

製造元 : 有限会社テクノネット

開発・販売元 : エーワン株式会社



## 付属品

1. 電源ハーネス
2. 電源コネクタ(CN1)
3. CD
  - ・ハードウェアマニュアル
  - ・回路図
  - ・MCUサンプルプログラム
  - ・FPGAサンプルプログラム
  - ・アプリケーションノート
  - ・ユーザー登録

## 取り扱い上の注意

- ・定格を超える電源を加えないで下さい。
- ・異常な発熱や発煙、発火等があった場合には直ちに電源を切ってください。
- ・人命に関わる製品には使用しないで下さい。
- ・製品仕様および外観は予告なく変更することがあります。

## 保証期間

本製品の保証期間はご購入から1年間です。

製品出荷検査は最善を尽くしておりますが、万一、製品の初期不良の場合は、新品交換にて対応いたします。

ただし、不良解析は致しませんのでご了承ください。

この保証は最初のご購入者ご本人にのみ適用され、お客様が転売、貸し出しされた第三者には適用されません。

また、保証期間においても以下の場合は有料修理となります。

- ・火災、地震、その他の天災地変および異常電圧による故障、損傷
- ・誤用、乱用および取り扱いの不良による故障、損傷
- ・お客様による修理、改造による故障、損傷

## 製品サポート

本製品のサポート期間はご購入から1年間です。

製品サポートについては、Eメールでのみ受け付けております。

以下の内容に該当するお問い合わせにつきましては受け付けておりませんのでご了承ください。

- ・本基板の各ICの仕様、回路構成およびユーザ回路の設計方法等に関するご質問
- ・他社メーカーのツール類に関するご質問
- ・その他、本製品の仕様範囲外のご質問

サポート外で調査等をご希望の場合は、ご相談により有償で承ります。

## 免責

弊社は、お客様の損害について下記に該当する損害も含め、一切その責任を負わないものとします。

- ・直接損害およびお客様の得るであろう利益の損失もしくはその他の間接的な損害または付随的損害
- ・お客様または第三者の故意または過失、あるいは不可抗力により発生した損害
- ・高度医療機器、軍事機器、原子力機器、宇宙航空関連機器、人命に関わる機器や高度の信頼性・安全性が要求される機器、長時間連続して稼働させる機器に使用したことによる損害
- ・第三者の著作権、特許権、実用新案権、意匠権、回路配置利用権、商標その他の知的財産権およびその他の権利侵害に基づき生じた損害
- ・輸出規制の違反または取扱いに起因する損害

## 参考資料

- ・「RX63Nグループ ユーザーズマニュアル ハードウェア編」ルネサス エレクトロニクス株式会社
- ・「Cyclone IV Device Handbook」アルテラコーポレーション

## 商標

- ・RXおよびRX63Nは、ルネサス エレクトロニクス株式会社の登録商標、または商品名です。
- ・その他の会社名、製品名は、各社の登録商標または商標です。

## 目次

1. 概要	1
2. 特長	1
2.1. MCU	1
2.2. FPGA	1
2.3. FPGAコンフィグレーション・デバイス	1
2.4. FRAM	1
2.5. 時計 (RTC) バックアップ	1
2.6. 電源電圧監視	1
2.7. 電源投入時のFPGAダウンロード	1
2.8. FPGA用サンプルI/O回路(無償)	1
3. 仕様概要	2
4. 外観図	3
5. ブロック図	4
6. メモリマップ	5
6.1. 本ボードのメモリマップ	5
6.2. FPGA空間のBSC設定	6
7. FPGA用サンプルI/O回路	9
7.1. アドレス空間	9
7.2. FPGA I/O入出力用レジスタマップ	9
7.3. I/Oレジスタ詳細	10
8. I/O割付け	12
9. コネクタマップ	16
9.1. CN1:電源コネクタ (B2P-SHF-1AA:日圧)	16
9.2. CN2:拡張コネクタ (HIF3H-60PB-2.54DSA(71):ヒロセ)	16
9.3. CN3:拡張コネクタ (HIF3H-60PB-2.54DSA(71):ヒロセ)	17
9.4. CN4:拡張コネクタ (HIF3H-50PB-2.54DSA(71):ヒロセ)	17
9.5. CN5:マイコンデバッグ E1用 コネクタ (XG4C-4131:オムロン)	18
9.6. CN6:マイコンデバッグ AH7000用 コネクタ (DF11-10DP-2DSA:ヒロセ)	18
9.7. CN7:FPGA JTAGコネクタ (XG4C-1031:オムロン)	18
10. 機能	19
10.1. RX63N のモード設定	19
10.2. リセット	19
10.3. 電源電圧監視	19
10.4. アナログリファレンス電源 内部+3.3Vと外部Vrefの切替え	20
10.5. FRAM	20
10.6. マイコン内臓時計 (RTC) バックアップ	20
10.7. LED	20
10.8. スイッチ	21
11. 外部インタフェース	22
11.1. 拡張コネクタ	22
12. 外形寸法図	23
13. 回路図	23
14. 関連製品	24
14.1. 評価ボード (EV-RX/RZ-01)	24
14.2. 評価ボード (EV-RX-01)	24
14.3. RX63N単体MCUボード (MP-RX63N-01)	25
14.4. RX63N単体MCUボード コネクタ変換基板 (CNV-RX63N-01)	25

## 1. 概要

- ・ MP-RX63N/FPGA-01 は、ルネサス製マイクロコンピュータ RX63N(32ビット CISCマイコン)と、アルテラ製 FPGA Cyclone® IV を搭載した、汎用小型マイコン+FPGA ボードです。
- ・ RX63N は、FLASH=2M バイト、SRAM=128K バイトを内蔵しコアスピードは 96MHz 動作です。
- ・ Cyclone IV は、ロジックエレメント数=6,272、メモリ=270K ビット、PLL=2ch の規模で、マイコンとの I/F は、16 ビットのバス接続です。

## 2. 特長

### 2.1. MCU

- ・ RX63N=型番:R5F563NEDDFB、形状:LQFP144 ピン、電源:3.3V 単一

### 2.2. FPGA

- ・ Cyclone IV=型番:EP4CE6E22C8N、形状:EQFP144 ピン、電源:コア=1.2V/analogPLL=2.5V/IO=3.3V

### 2.3. FPGAコンフィグレーション・デバイス

- ・ FPGA 論理回路の保存用に、4M ビットシリアル FlashROM、EPCS4(アルテラ)を1個搭載しています。

### 2.4. FRAM

- ・ データバックアップ用に、32Kバイトの強誘電体不揮発性シリアル FRAM FM25V02(RAMTRON)を1個搭載しています。  
(マイコン SPI インタフェース、max40MHz 動作)

### 2.5. 時計(RTC)バックアップ

- ・ マイコン内臓時計のバックアップ用に、スーパーキャパシタ(0.47F)を搭載しVBAT端子に供給しています。  
(10.6. 参照)

### 2.6. 電源電圧監視

- ・ 供給電源+5Vを監視、電圧低下+4.5Vを検出し、マイコンにNMI割り込みを要求します。
- ・ NMI~リセットが入るまでの時間を設け、データの退避に使用可能です。
- ・ NMI発生からリセットまでの時間は、当社テスト動作で≒30mSとなりますが、供給する電源ユニットと消費電流の状況により大きく変わりますので注意が必要です。(10.3 参照)

### 2.7. 電源投入時のFPGAダウンロード

- ・ FPGA コンフィグレーション・デバイスから FPGA に論理回路をダウンロードするのに、数百 mS 要する為ダウンロード中の信号をマイコンに通知します。(ダウンロード完了後、FPGA にアクセス可能となります。)

### 2.8. FPGA用サンプルI/O回路(無償)

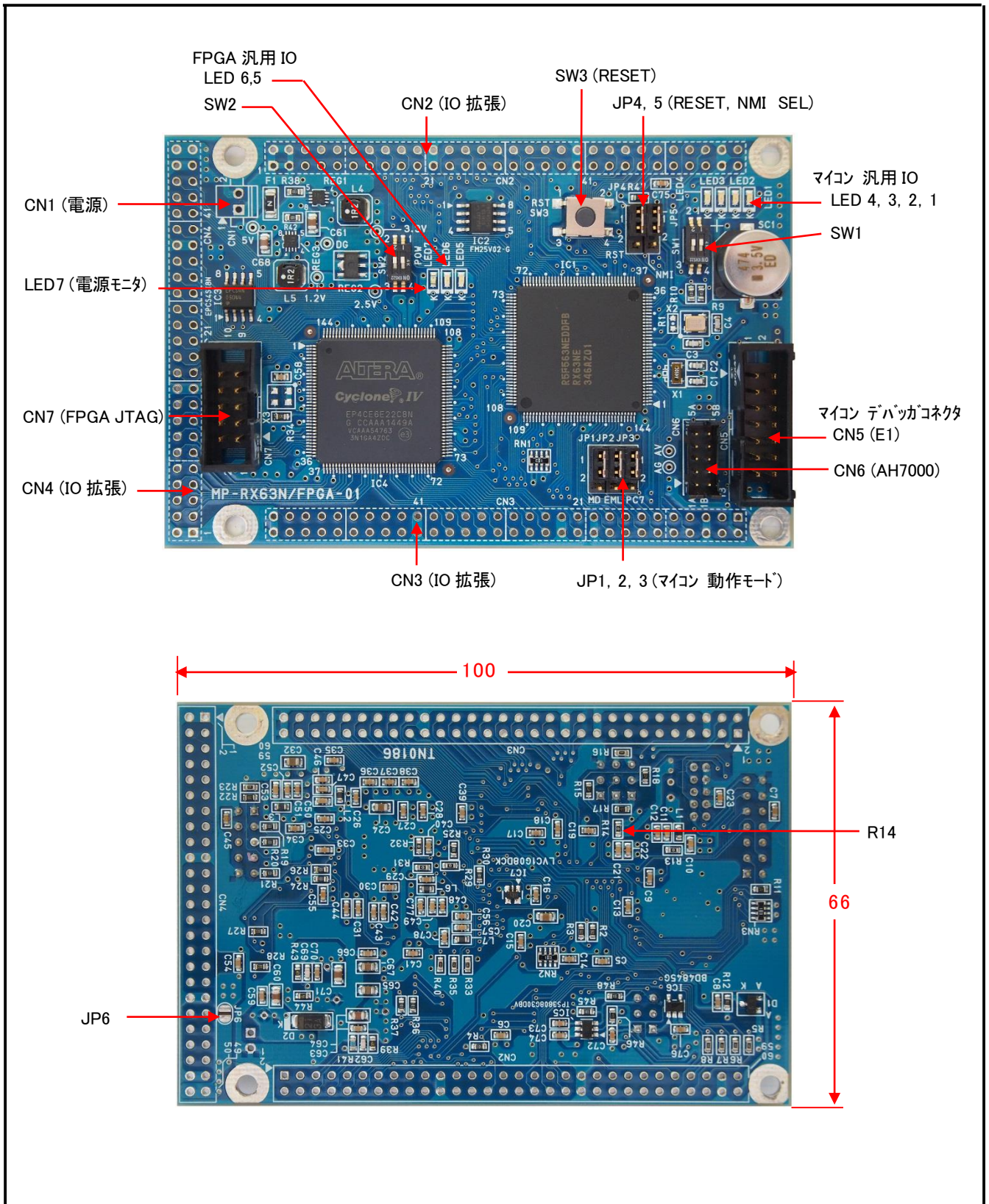
- ・ ご購入時には FPGA コンフィグレーション・デバイスに FPGA 用サンプル I/O 回路 (I/O アクセス/RAM アクセス) が書込みされております。

## 3. 仕様概要

機能	仕様
MCU	RX63Nマイコン (R5F563NEDDFB:ルネサス) RX 32-bit CPU搭載 内蔵 FLASH : 2M バイト 内蔵 SRAM : 128K バイト 内蔵 E2 データ FLASH : 32K バイト パッケージ : LQFP144 ピン
クロック	システムクロック : 12MHz (水晶振動子) MCUクロック : 最大 96MHz 内部バスクロック : 最大 96MHz/48MHz 外部バスクロック : 最大 48MHz RTC用クロック : 32.768KHz (水晶振動子)
メモリ	256K ビット FRAM (FM25V02:RAMTRON 相当品)
FPGA	Cyclone IV (EP4CE6E22C8N:アルテラ) ロジックエレメント数 : 6,272 メモリ : 270K ビット PLL : 2ch パッケージ : EQFP144 ピン
FPGA コンフィグレーション デバイス	4M ビットシリアル FlashROM (EPCS4:アルテラ)
RTCバックアップ	電源 OFF 時、マイコン内臓の時計 (RTC) をスーパーキャパシタでバックアップします。 (10. 機能 参照)
アナログリファレンス電源	内部+3.3V と外部Vrefの切替え可能 (10. 機能 参照)
リセット	外部ヘリセット出力/外部からリセット入力 切替え可能 JP4 ショートバーにより切替え (10. 機能 参照)
電源電圧監視	供給電源+5V を監視、電圧降下+4.5V を検出し、マイコンに NMI 割り込みが可能。 また、外部へのNMI出力および外部からのNMI入力が可能。 JP5 ショートバーにより切替え (10. 機能 参照)
MCUモード	MCU動作モード、オンチップエミュレータ 切替えショートバー JP1、2、3 ショートバーにより切替え (10. 設定参照)
LED	電源 LED 1 個 汎用 LED 4 個 (マイコン I/O ポートに接続) (このマイコンの I/O ポートは拡張用コネクタにも接続されています。) 汎用 LED 2 個 (FPGA I/O ポートに接続)
スイッチ	汎用 2 ビット DIP スイッチ 1 個 (マイコン I/O ポートに接続) 汎用 2 ビット DIP スイッチ 1 個 (FPGA I/O ポートに接続) リセット用タクトイルスイッチ 1 個
拡張用コネクタ	60 ピン 2.54 ピッチ 2 個 (HIF3H-60PB-2.54DSA(71):ヒロセ) 50 ピン 2.54 ピッチ 1 個 (HIF3H-50PB-2.54DSA(71):ヒロセ) これらのコネクタは実装オプションです。
電源	DC5V±5% または DC3.3V±5%(+4.5V 電圧監視機能は使用できません。) 内部電源 : +3.3V (MCU, FPGA I/O) 内部電源 : +2.5V (FPGA PLL) 内部電源 : +1.2V (FPGA コア)
消費電流	電源電圧 5V : Typ 約 60mA 電源電圧 3.3V: Typ 約 90mA デバッグファーム動作時
使用条件	温度 0°C~60°C(結露なき事)
寸法	100×66mm

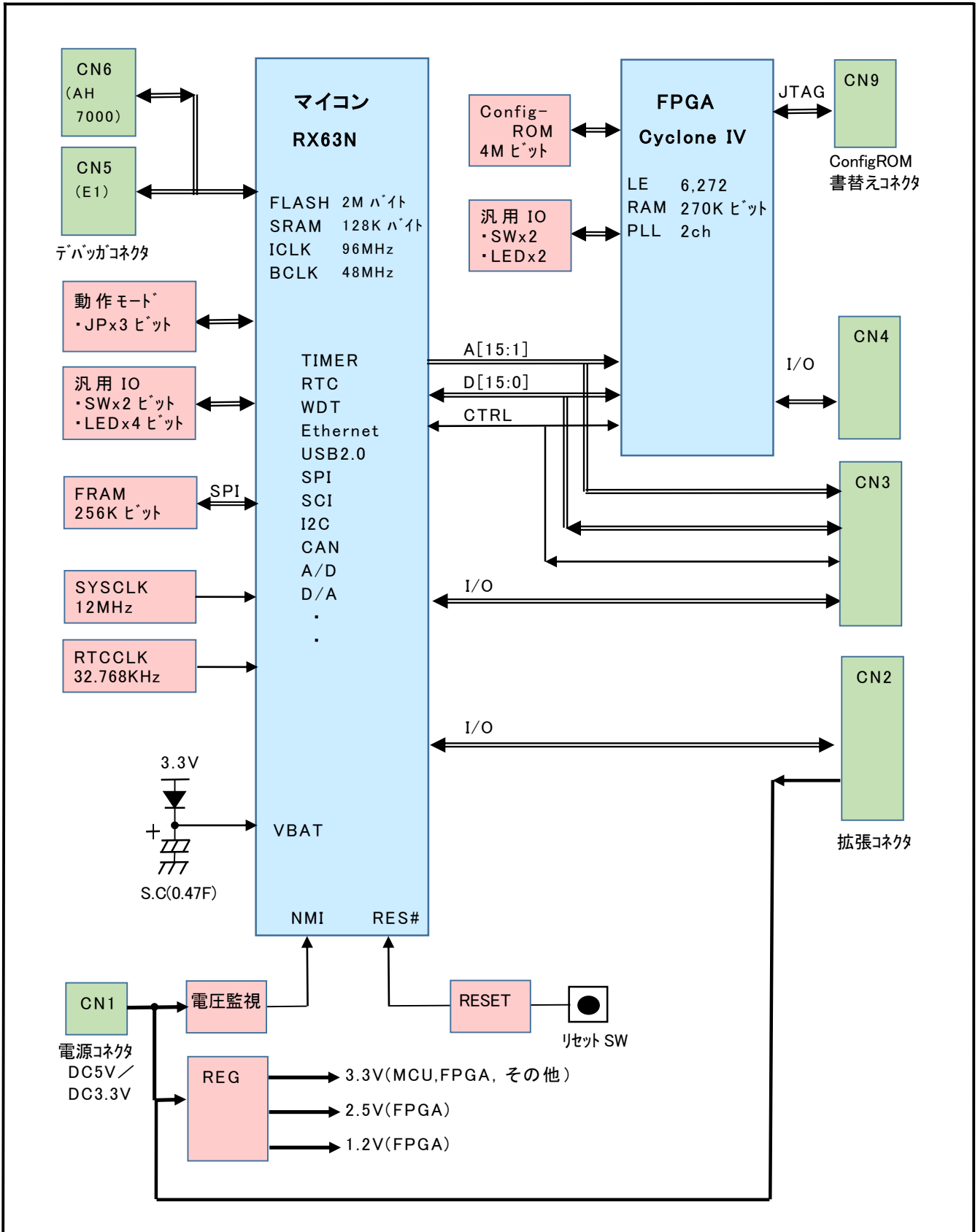


4. 外観図





5. ブロック図



## 6. メモリマップ

## 6.1. 本ボードのメモリマップ

アドレス	領域	備考
0000_0000 - 0001_FFFF	RAM	
0002_0000 - 0007_FFFF	予約領域	アクセス不可
0008_0000 - 001F_FFFF	周辺 IO レジスタ	
0010_0000 - 0010_7FFF	内蔵 ROM (E2 テータフラッシュ)	
0010_8000 - 007F_7FFF	予約領域	アクセス不可
007F_8000 - 007F_9FFF	FCU-RAM 領域	
007F_A000 - 007F_BFFF	予約領域	アクセス不可
007F_C000 - 007F_C4FF	周辺 IO レジスタ	
007F_C500 - 007F_FBFF	予約領域	アクセス不可
007F_FC00 - 007F_FFFF	周辺 IO レジスタ	
0080_0000 - 00DF_FFFF	予約領域	アクセス不可
00E0_0000 - 00FF_FFFF	内蔵 ROM (プログラム ROM) (書き換え専用)	
0100_0000 - 01FF_FFFF	外部アドレス空間 CS7 (16M バイト)	ユーザ使用可能
0200_0000 - 02FF_FFFF	外部アドレス空間 CS6 (16M バイト)	ユーザ使用可能
0300_0000 - 03FF_FFFF	外部アドレス空間 CS5 (16M バイト)	ユーザ使用可能
0400_0000 - 04FF_FFFF	外部アドレス空間 CS4 (16M バイト)	ユーザ使用可能
0500_0000 - 05FF_FFFF	外部アドレス空間 CS3 (16M バイト)	ユーザ使用可能
0600_0000 - 06FF_FFFF	外部アドレス空間 CS2 (16M バイト)	本ボード内の FPGA で使用 (FPGA メモリ 空間)
0700_0000 - 07FF_FFFF	外部アドレス空間 CS1 (16M バイト)	本ボード内の FPGA で使用 (FPGA IO 空間)
0800_0000 - 0FFF_FFFF	外部アドレス空間 SDGS (128M バイト) (SDRAM 領域)	ユーザ使用不可
1000_0000 - FFFF_DFFF	予約領域	アクセス不可
FEFF_E000 - FFFF_FFFF	内蔵 ROM (FCU ファーム) (読み出し専用)	
FF00_0000 - FFDF_FFFF	予約領域	アクセス不可
FFE0_0000 - FFFF_FFFF	内蔵 ROM (プログラム ROM) (読み出し専用)	

6.2. FPGA空間のBSC設定

- ・FPGA内で使用する空間は、CS1=IO、CS2=メモリの2空間を使用します。
- (以下各レジスタ名(XXnXX)の n は、1=CS1、2=CS2 とし、同じ設定内容とします)
- (詳細については、「RX63N グループユーザズマニュアル ハードウェア編」を参照して下さい)

(1) CSn 制御レジスタ(CSnCR)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	MPXEN	-			EMODE	-	-	BSIZE[1:0]	-	-	-	-	EXENB
設定値	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

設定の意味

- ・EXENB = 1 : 動作許可/禁止は、動作許可を設定
- ・BSIZE[1:0] = 00 : 外部バス幅選択は、16ビットバス空間に設定
- ・EMODE = 0 : エンディアンモード指定は、領域nのエンディアンは動作モードのエンディアンと同じに設定
- ・MPXEN = 1 : アドレス/データマルチプレクスの選択は、領域n はセパレートバスインタフェースに設定

(2) CSn リカバリサイクル設定レジスタ (CSnREC)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	WRCV[3:0]				-	-	-		-	RRCV[3:0]		
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

設定の意味

- ・RRCV[3:0] = 0000 : リードリカバリ設定は、リカバリサイクルを挿入しないに設定
- ・WRCV[3:0] = 0000 : ライトリカバリ設定は、リカバリサイクルを挿入しないに設定

(3) CS リカバリサイクル挿入許可レジスタ (CSREGEN)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCVENM							RCVEN								
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
設定値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

設定の意味

- ・RCVEN [7:0] = 00111110 : セパレートバス用リカバリサイクル挿入許可は、デフォルト値でCS1, 2が許可になっているので、デフォルト値のままとする
- ・RCVENM [7:0] = 00111110 : マルチプレクスバス用リカバリサイクル挿入許可は、未使用にてデフォルト値のままとする

(4) CSn モードレジスタ(CSnMOD)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PRMOD	-	-	-	-	-	PWENB	PRENB	-	-	-	-	EWENB	-	-	WRMOD
設定値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1

設定の意味

- ・WRMOD = 1 : ライトアクセスモード選択は、1ライトストロブモードに設定
- ・EWENB = 1 : 外部ウェイト許可/禁止は、外部ウェイト許可に設定
- ・PRENB = 0 : ページリードアクセス許可は、ページリードアクセス禁止に設定
- ・PWENB = 0 : ページライトアクセス許可は、ページライトアクセス禁止に設定
- ・PRMOD = 0 : ページリードアクセスモード選択は、ノーマルアクセス互換モードに設定

ライトアクセスモード選択による、端子機能の違い

モード	端子名							
	WR3#	WR2#	WR1#	WR0#/WR#	BC3#	BC2#	BC1#	BC0#
ライトアクセスモード								
バイトストロブモード	○	○	○	○(WR0#)	×	×	×	×
1ライトストロブモード	×	×	×	○(WR#)	○	○	○	○

(5) CSn ウェイト制御レジスタ1(CSnWCR1)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CSRWAIT[4:0]				-	-	-	CSWWAIT[4:0]					
設定値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CSPRWAIT[2:0]			-	-	-	-	-	CSPWWAIT[2:0]		
設定値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

設定の意味

- ・CSPWWAIT[2:0] = 111 : ページライトサイクルウェイト選択は、未使用にてデフォルト値のままとする
- ・CSPRWAIT[2:0] = 111 : ページリードサイクルウェイト選択は、未使用にてデフォルト値のままとする
- ・CSWWAIT[4:0] = 00010 : ノーマルライトサイクルウェイト選択は、ウェイトを 2 サイクル挿入に設定
- ・CSRWAIT[4:0] = 00011 : ノーマルリードサイクルウェイト選択は、ウェイトを 3 サイクル挿入に設定

## (6) CSn ウェイト制御レジスタ2 (CSnWCR2)

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	CSON[2:0]		-	WDON[2:0]			-	WRON[2:0]			-	RDON[2:0]		
設定値	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	AWAIT[1:0]		-	WDOFF[2:0]			-	CSWOFF[2:0]			-	CSROFF[2:0]		
設定値	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0	1

## 設定の意味

- ・CSROFF[2:0] = 001 : リード時CS延長サイクル選択は、ウェイトを1サイクル挿入に設定
- ・CSWOFF[2:0] = 010 : ライト時CS延長サイクル選択は、ウェイトを2サイクル挿入に設定
- ・WDOFF[2:0] = 001 : ライトデータ出力延長サイクル選択は、ウェイトを1サイクル挿入に設定
- ・AWAIT[1:0] = 00 : アドレスサイクルウェイト選択は、ウェイトを挿入しないに設定
- ・RDON[2:0] = 000 : RDアサートウェイト選択は、ウェイトを挿入しないに設定
- ・WRON[2:0] = 001 : WRアサートウェイト選択は、ウェイトを1サイクル挿入に設定
- ・WDON[2:0] = 001 : ライトデータ出力ウェイト選択は、ウェイトを1サイクル挿入に設定
- ・CSON[2:0] = 000 : CSアサートウェイト選択は、ウェイトを挿入しないに設定



## 7. FPGA用サンプルI/O回路

サンプル I/O 回路は、IRQ4, WAIT 信号は未使用です。

## 7.1. アドレス空間

CS 空間	アドレス	分類	内容	備考
CS1	0700_0000 : 0700_00FF	FPGA I/O 空間	FPGA I/O 入出力用レジスタ ・バス幅 16 ビット ・8/16 ビットアクセス	
	0700_0100 : 07FF_FFFF	使用不可 (上記ミラー領域)		
CS2	0600_0000 : 0600_3FFF	FPGA RAM 空間 (全容量:270K ビット)	FPGA 内蔵 RAM (16K バイト) ・バス幅 16 ビット ・8/16 ビットアクセス	
	0600_4000 : 0600_7FFF		FPGA 内蔵 RAM (16K バイト)	未使用 (ユーザ開放)
	0600_8000 : 06FF_FFFF	使用不可 (上記ミラー領域)		

## 7.2. FPGA I/O入出力用レジスタマップ

機能	アドレス	リード時	ライト時	備考
入出力方向設定 (IO15~0)レジスタ	0700_0000	設定データの読出し	設定データの書込み	
入出力方向設定 (IO31~16)レジスタ	0700_0002	設定データの読出し	設定データの書込み	
入出力方向設定 (IO39~32)レジスタ	0700_0004	設定データの読出し	設定データの書込み	
未使用	0700_0006 : 0700_000E			
入出力データ (IO15~0)レジスタ	0700_0010	外部入力 又は 出力データの読出し	無効 又は 出力データの書込み	方向設定による
入出力データ (IO31~16)レジスタ	0700_0012	外部入力 又は 出力データの読出し	無効 又は 出力データの書込み	方向設定による
入出力データ (IO39~32)レジスタ	0700_0014	外部入力 又は 出力データの読出し	無効 又は 出力データの書込み	方向設定による
未使用	0700_0016 : 0700_001E			
デバッグSW入力レジスタ	0700_0020	SW 入力	無効	
デバッグ用LED制御切替えレジスタ	0700_0022	LED 出力データの読出し	LED 出力データの書込み	
未使用	0700_0024 : 0700_00FF			
ミラー領域	0700_0100 : 07FF_FFFF			

## 7.3. I/Oレジスタ詳細

## (1) 入出力方向設定 (IO15~0) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
0700_0000	15	FPGA_IO_15 信号の入出力方向設定	0 = 入力 1 = 出力	0 = 入力 1 = 出力	0
	0	FPGA_IO_0 信号の入出力方向設定			

## (2) 入出力方向設定 (IO31~16) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
0700_0002	15	FPGA_IO_31 信号の入出力方向設定	0 = 入力 1 = 出力	0 = 入力 1 = 出力	0
	0	FPGA_IO_16 信号の入出力方向設定			

## (3) 入出力方向設定 (IO39~32) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
0700_0004	15	未使用	0 = 入力 1 = 出力	0 = 入力 1 = 出力	0
	8	未使用			
	7	FPGA_IO_39 信号の入出力方向設定			
	0	FPGA_IO_32 信号の入出力方向設定			

## (4) 入出力データ (IO15~0) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
0700_0010	15	FPGA_IO_15 信号の入出力データ	入出力方向設定=0 外部入力 入出力方向設定=1 出力データリフトバック	入出力方向設定=0 無効 入出力方向設定=1 外部出力	0
	0	FPGA_IO_0 信号の入出力データ			

## (5) 入出力データ (IO31~16) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
0700_0012	15	FPGA_IO_31 信号の入出力データ	入出力方向設定=0 外部入力 入出力方向設定=1 出力データリフトバック	入出力方向設定=0 無効 入出力方向設定=1 外部出力	0
	0	FPGA_IO_16 信号の入出力データ			

## (6) 入出力データ (IO39~32) レジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
0700_0014	15	未使用	入出力方向設定=0 外部入力 入出力方向設定=1 出力データリフトバック	入出力方向設定=0 無効 入出力方向設定=1 外部出力	0
	8				
	7	FPGA_IO_39 信号の入出力データ			
	0	FPGA_IO_32 信号の入出力データ			

## (7) デバッグ SW 入力レジスタ


アドレス	ビット	内容	リード時	ライト時	初期値
0700_0020	15   2	未使用			
	1	SW2-2	0=OFF	無効	
	0	SW2-1	1=ON		


## (8) デバッグ LED 制御切替えレジスタ

アドレス	ビット	内容	リード時	ライト時	初期値
0700_0022	15   8	未使用			
	7	LED制御切り替え	右設定状態の読み出し	0=ハード制御 (SW2とLEDが連動) 1=ソフト制御 (下記ビット1,0有効)	0
	6   2	未使用			
	1	LED6設定	LED状態の読み出し	0=消灯 1=点灯	0
	0	LED5設定			


8. I/O割付け


電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, POE)	通信 (ETHERC, SC1c, SC1d, RSPI, RIIIC, CAN, IEB, USB)	割り込み	S12AD, AD, DA	拡張 コネクタ	備考
	P00		TMR10	TXD6/SMOSI6/ SSDA6	IRQ8	AN018	CN3-8	
	P01		TMC10	RXD6/SMISO6/ SSCL6	IRQ9	AN019	CN3-9	
	P02		TMC11	SCK6	IRQ10	AN020	CN3-10	
	P03				IRQ11	DA0	CN3-3	
	P05				IRQ13	DA1	CN3-4	
	P07				IRQ15	ADTRG0#	CN3-7	
	P12		TMC11	RXD2/SMISO2/ SSCL2/SCL0[FM+]	IRQ2		CN2-43	
	P13		MTIOC0B/ TIOCA5/TM03/ PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]	IRQ3	ADTRG#	CN2-44	
	P14		MTIOC3A/ MTCLKA/ TIOCB5/TCLKA/ TMR2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_DPUPE/ USB0_OVRCURA	IRQ4		CN2-38	
	P15		MTIOC0B/ MTCLKB/ TIOCB2/TCLKB/ TMC12/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS	IRQ5		CN2-45	
	P16		MTIOC3C/ MTIOC3D/ TIOCB1/TCLKC/ TM02/PO14/ RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ MOSIA/SCL2-DS/ IERXD/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB	IRQ6	ADTRG0#	CN2-36	
	P17		MTIOC3A/ MTIOC3B/ TIOCB0/TCLKD/ TM01/PO15/ POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ MISOA/SDA2-DS/ IETXD	IRQ7	ADTRG#		FRAM
	P20		MTIOC1A/ TIOCB3/TMR10/ P00	TXD0/SMOSI0/ SSDA0/SDA1/ USB0_ID	IRQ8		CN2-47	
	P21		MTIOC1B/ TIOCA3/TMC10/ P01	RXD0/SMISO0/ SSCL0/SCL1/ USB0_EXICEN	IRQ9		CN2-48	
	P22	EDREQ0	MTIOC3B/ MTCLKC/ TIOCC3/TM00/ P02	SCK0/USB0_DRPD			CN2-41	
	P23	EDACK0	MTIOC3D/ MTCLKD/ TIOC3D/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ USB0_DPUPE			CN2-37	
	P24	CS4#/ EDREQ1	MTIOC4A/ MTCLKA/ TIOCB4/TMR11/ P04	SCK3/ USB0_VBUSEN			CN2-34	
	P25	CS5#/ EDACK1	MTIOC4C/ MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ USB0_DRPD		ADTRG0#	CN2-42	
TDO	P26	CS6#	MTIOC2A/TM01/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ MOSIB				JTAG
TCK/FINEC	P27	CS7#	MTIOC2B/ TMC13/PO7	SCK1/RSPCKB				JTAG

 : MCU ボード内の固定機能

 : MCU ボード内で使用しない場合は任意に使用可能 (FPGA、LED)


電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, POE)	通信 (ETHERC, SCIC, SCID, RSPT, RIIIC, CAN, IEB, USB)	割り込み	S12AD, AD, DA	拡張 コネクタ	備考
TDI	P30		MTIOC4B/ TMR3/PO8/ RTICIC0/POE8#	RXD1/SMIS01/ SSCL1/MIS0B/ USB0_DRPD	IRQ0-DS			JTAG
TMS	P31		MTIOC4D/ TMC12/PO9/ RTICIC1	CTS1#/RTS1#/ SS1#/SSLB0/ USB0_DPUPE	IRQ1-DS			JTAG
	P32		MTIOC0C/ TIOCC0/TM03/ PO10/RTCOUT/ RTICIC2	TXD6/TXD0/ SMOS16/SMOS10/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	IRQ2-DS		CN3-48	
	P33		MTIOC0D/ TIOC0D/TMR3/ PO11/POE3#	RXD6/RXD0/ SMIS06/SMIS00/ SSCL6/SSCL0/ CRX0	IRQ3-DS		CN3-50	
TRST#	P34		MTIOC0A/ TMC13/PO12/ POE2#	SCK6/SCK0/ USB0_DPRPD	IRQ4			JTAG
	P35				NMI		CN2-56	
EXTAL	P36							水晶振動子
XTAL	P37							水晶振動子
	P40				IRQ8-DS	AN000	CN3-11	
	P41				IRQ9-DS	AN001	CN3-12	
	P42				IRQ10-DS	AN002	CN3-13	
	P43				IRQ11-DS	AN003	CN3-14	
	P44				IRQ12-DS	AN004	CN3-15	
	P45				IRQ13-DS	AN005	CN3-16	
	P46				IRQ14-DS	AN006	CN3-17	
	P47				IRQ15-DS	AN007	CN3-18	
	P50	WR0#/WR#		TXD2/SMOS2/ SSDA2/SSLB1			CN3-40	
	P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2			CN3-49	
	P52	RD#		RXD2/SMIS02/ SSCL2/SSLB3			CN3-44	
BCLK	P53						CN3-43	
TRDATA2	P54	ALE/EDACK0	MTIOC4B/TMC1	CTS2#/RTS2#/ SS2#/CTX1/ ET_LINKSTA			CN2-32	
TRDATA3	P55	WAIT#/ EDREQ0	MTIOC4D/TM03	CRX1/ET_EXOUT	IRQ10		CN3-39	
	P56	EDACK1	MTIOC3C/ TIOCA1				CN2-31	
	P60	CS0#					CN3-45	
	P61	CS1#/SDCS#						FPGA CS
	P62	CS2#/RAS#						FPGA CS
	P63	CS3#/CAS#					CN3-46	
	P64	CS4#/WE#					CN3-47	
	P65	CS5#/CKE					CN2-18	
	P66	CS6#/DQM0		CTX2			CN2-49	
	P67	CS7#/DQM1		CRX2	IRQ15		CN2-50	
	P70	SDCLK						FPGA INIT DONE
	P71	CS1#		ET_MDIO			CN2-28	
	P72	CS2#		ET_MDC			CN2-25	
	P73	CS3#	PO16	ET_WOL			CN2-17	
	P74	CS4#	PO19	CTS11#/RTS11#/ SS11#/ET_ERXD1/ RMII_RXD1			CN2-26	
	P75	CS5#	PO20	SCK11/ET_ERXD0/ RMII_RXD0			CN2-23	
	P76	CS6#	PO22	RXD11/SMIS011/ SSCL11/ ET_RX_CLK/ REF50CK			CN2-19	
	P77	CS7#	PO23	TXD11/SMOS11/ SSDA11/ ET_RX_ER/ RMII_RX_ER			CN2-24	


 : MCU ボード内の固定機能

 : MCU ボード内で使用しない場合は任意に使用可能 (FPGA、LED)





電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, POE)	通信 (ETHERC, SCIc, SCId, RSPi, RIIc, CAN, IEB, USB)	割り込み	S12AD, AD, DA	拡張 コネクタ	備考
TRDATA0	P80	EDREQ0	MTIOC3B/PO26	SCK10/ET_TX_EN/ RMIL_TXD_EN			CN2-27	
TRDATA1	P81	EDACK0	MTIOC3D/PO27	RXD10/SMISO10/ SSCL10/ ET_ETXD0/ RMIL_TXD0			CN2-29	
TRSYNC	P82	EDREQ1	MTIOC4A/PO28	TXD10/SMOSI10/ SSDA10/ ET_ETXD1/ RMIL_TXD1			CN2-30	
TRCLK	P83	EDACK1	MTIOC4C	CTS10#/RTS10#/ SS10#/ET_CRS/ RMIL_CRS_DV			CN2-20	
	P86		TIOCA0				CN2-46	
	P87		TIOCA2				CN2-51	
	P90	A16		TXD7/SMOSI7/ SSDA7		AN014	CN2-55	MCUボード上の LED1と兼用
	P91	A17		SCK7		AN015	CN2-54	MCUボード上の LED2と兼用
	P92	A18		RXD7/SMISO7/ SSCL7		AN016	CN2-53	MCUボード上の LED3と兼用
	P93	A19		CTS7#/RTS7#/SS7#		AN017	CN2-52	MCUボード上の LED4と兼用
	PA0	A0/BC0#	MTIOC4A/ TIOCA0/PO16	SSLA1/ET_TX_EN/ RMIL_TXD_EN			CN3-51	
	PA1	A1	MTIOC0B/MTCLKC/ TIOC0B/PO17	SCK5/SSLA2/ ET_WOL	IRQ11		CN3-52	
	PA2	A2	PO18	RXD5/SMISO5/ SSCL5/SSLA3			CN3-53	
	PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET_MDIO	IRQ6-DS		CN3-54	
	PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMR0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0/ ET_MDC	IRQ5-DS		CN3-55	
	PA5	A5	TIOC0B1/PO21	RSPCKA/ ET_LINKSTA			CN3-56	
	PA6	A6	MTIC5V/MTCLKB/ TIOCA2/TMCB3/ PO22/POE2#	CTS9#/RTS9#/SS9# MOSIA/ET_EXOUT			CN3-57	
	PA7	A7	TIOC0B2/PO23	MISOA/ET_WOL			CN3-58	
	PB0	A8	MTIC5W/ TIOCA3/PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ RSPCKA/ ET_ERXD1/ RMIL_RXD1	IRQ12		CN2-12	
	PB1	A9	MTIOC0C/MTIOC4C/ TIOC0B3/TMC0D/ PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET_ERXD0/ RMIL_RXD0	IRQ4-DS		CN2-11	
	PB2	A10	TIOC0C3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET_RX_CLK/ REF50CK			CN2-10	
	PB3	A11	MTIOC0A/MTIOC4A/ TIOC0D3/TCLKD/ TMO0/PO27/POE3#	SCK4/SCK6/ ET_RX_ER/ RMIL_RX_ER			CN2-9	
	PB4	A12	TIOCA4/PO28	CTS9#/RTS9#/ SS9#/ET_TX_EN/ RMIL_TXD_EN			CN2-8	
	PB5	A13	MTIOC2A/MTIOC1B/ TIOC0B4/TMR11/ PO29/POE1#	SCK9/ET_ETXD0/ RMIL_TXD0			CN2-7	
	PB6	A14	MTIOC3D/ TIOCA5/PO30	RXD9/SMISO9/ SSCL9/ET_ETXD1/ RMIL_TXD1			CN2-6	
	PB7	A15	MTIOC3B/ TIOC0B5/PO31	TXD9/SMOSI9/ SSDA9/ET_CRS/ RMIL_CRS_DV			CN2-5	

 : MCU ボード内の固定機能

 : MCU ボード内で使用しない場合は任意に使用可能 (FPGA、LED)

電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, TPU, TMR, PPG, RTC, POE)	通信 (ETHERC, SC1c, SC1d, RSP1, R11C, CAN, IEB, USB)	割り込み	S12AD, AD, DA	拡張 コネクタ	備考
	PC0	A16	MTIOC3C/ TCLKC/PO17	CTS5#/RTS5#/ SS5#/SSLA1/SCL3/ ET_ERXD3	IRQ14		CN2-16	
	PC1	A17	MTIOC3A/ TCLKD/PO18	SCK5/SSLA2/SDA3/ ET_ERXD2	IRQ1		CN2-15	
	PC2	A18	MTIOC4B/ TCLKA/PO21	RXD5/SMIS05/ SSCL5/SSLA3/ IERXD/ET_RX_DV			CN2-14	
	PC3	A19	MTIOC4D/ TCLKB/PO24	TXD5/SMOS15/ SSDA5/IETXD/ ET_TX_ER			CN2-13	
	PC4	A20/CS3#	MTIOC3D/ MTCLKC/ TIOCC6/TCLKE/ TMC11/PO25/ POE0#	SCK5/CTS8#/ RTS8#/SS8#/ SSLA0/ET_TX_CLK				FRAM
	PC5	A21/CS2#/ WAIT#	MTIOC3B/ MTCLKD/ TIOCD6/TCLKF/ TMR12/PO29	SCK8/RSPCKA/ ET_ETXD2				FRAM
	PC6	A22/CS1#	MTIOC3C/ MTCLKA/ TIOCA6/TMC12/ PO30	RXD8/SMIS08/ SSCL8/MOSIA/ ET_ETXD3	IRQ13			FRAM
	PC7	A23/CS0#	MTIOC3A/ MTCLKB/ TIOCB6/TM02/ PO31	TXD8/SMOS18/ SSDA8/MISOA/ ET_COL	IRQ14			ブートモード 設定ピン専用
	PD0	D0[A0/D0]	TIOCA7		IRQ0	AN008	CN3-21	
	PD1	D1[A1/D1]	MTIOC4B/ TIOCB7/TCLKG	MOSIC/CTX0	IRQ1	AN009	CN3-22	
	PD2	D2[A2/D2]	MTIOC4D/ TIOCA8	MISOC/CRX0	IRQ2	AN010	CN3-25	
	PD3	D3[A3/D3]	TIOCB8/TCLKH/ POE8#	RSPCKC	IRQ3	AN011	CN3-26	
	PD4	D4[A4/D4]	POE3#	SSLC0	IRQ4	AN012	CN3-27	
	PD5	D5[A5/D5]	MTIC5W/POE2#	SSLC1	IRQ5	AN013	CN3-28	
	PD6	D6[A6/D6]	MTIC5V/POE1#	SSLC2	IRQ6	AN6	CN3-29	
	PD7	D7[A7/D7]	MTIC5U/POE0#	SSLC3	IRQ7	AN7	CN3-30	
	PE0	D8[A8/D8]	TIOCC9	SCK12/SSLB1		ANEX0	CN3-31	
	PE1	D9[A9/D9]	MTIOC4C/ TIOCD9/PO18	TXD12/SMOS12/ SSDA12/TXD12/ SIOX12/SSLB2/ RSPCKB		ANEX1	CN3-32	
	PE2	D10[A10/D10]	MTIOC4A/ TIOCA9/PO23	RXD12/SMIS012/ SSCL12/RXD12/ SSLB3/MOSIB	IRQ7-DS	AN0	CN3-33	
	PE3	D11[A11/D11]	MTIOC4B/ TIOCB9/PO26/ POE8#	CTS12#/RTS12#/ SS12#/MISOB/ ET_ERXD3		AN1	CN3-34	
	PE4	D12[A12/D12]	MTIOC4D/ MTIOC1A/ TIOCA10/PO28	SSLB0/ET_ERXD2		AN2	CN3-35	
	PE5	D13[A13/D13]	MTIOC4C/ MTIOC2B/ TIOCB10	RSPCKB/ ET_RX_CLK/ REF50CK	IRQ5	AN3	CN3-36	
	PE6	D14[A14/D14]	TIOCA11	MOSIB	IRQ6	AN4	CN3-37	
	PE7	D15[A15/D15]	TIOCB11	MISOB	IRQ7	AN5	CN3-38	
	PF5				IRQ4			FPGA
	PJ3		MTIOC3C	CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#				SW1-1
	PJ5							SW1-2

 : MCU ボード内の固定機能

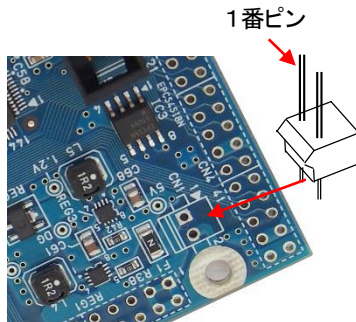
 : MCU ボード内で使用しない場合は任意に使用可能 (FPGA、LED)

## 9. コネクタマップ

### 9.1. CN1:電源コネクタ (B2P-SHF-1AA:日圧)

No	信号名	備考
1	+5V または +3.3V	安定化電源
2	GND	

- ・出荷時このコネクタは実装されておりません、使用される場合は下図の方向にて実装して半田付けして頂き下記点に注意してご使用してください。
- ・CN1-1ピンと、CN3-1,2ピンは繋がっています、いずれかのコネクタから電源の供給となります。
- ・CN1より電源を供給する場合はCN2の1,2番ピンは使用しないで下さい。



### 9.2. CN2:拡張コネクタ (HIF3H-60PB-2.54DSA(71):ヒロセ)

No	信号名	備考	No	信号名	備考
1	+5V (注. 1)	電源入力/出力	2	+5V (注. 1)	電源入力/出力
3	+5V (注. 1)	電源入力/出力	4	+5V (注. 1)	電源入力/出力
5	PB7/A15	FPGA と兼用	6	PB6/A14	FPGA と兼用
7	PB5/A13	FPGA と兼用	8	PB4/A12	FPGA と兼用
9	PB3/A11	FPGA と兼用	10	PB2/A10	FPGA と兼用
11	PB1/A9	FPGA と兼用	12	PB0/A8	FPGA と兼用
13	PC3		14	PC2	
15	PC1		16	PC0	
17	P73		18	P65	
19	P76		20	P83	
21	DGND		22	DGND	
23	P75		24	P77	
25	P72		26	P74	
27	P80		28	P71	
29	P81		30	P82	
31	P56		32	P54	
33	USB0_DP	USB	34	P24	
35	USB0_DM	USB	36	P16	
37	P23		38	P14	
39	DGND		40	DGND	
41	P22		42	P25	
43	P12		44	P13	
45	P15		46	P86	
47	P20		48	P21	
49	P66		50	P67	
51	P87		52	P93	
53	P92		54	P91	
55	P90		56	ExNMI#	入力/出力
57	DGND		58	DGND	
59	ExRST# (注. 2)	入力または出力	60	NC2	

注. 1 この端子から+5Vを供給する場合はCN1は使用しないで下さい。

注. 2 10.2 リセットを参照して下さい。

## 9.3. CN3: 拡張コネクタ (HIF3H-60PB-2.54DSA(71):ヒロセ)

No	信号名	備考	No	信号名	備考
1	AVCC	出力 (+3.3V)	2	VREF (注. 1)	入力 (max+3.3V)
3	P03		4	P05	
5	AGND		6	AGND	
7	P07		8	P00	
9	P01		10	P02	
11	P40		12	P41	
13	P42		14	P43	
15	P44		16	P45	
17	P46		18	P47	
19	AGND		20	AGND	
21	PD0/D0	FPGA と兼用	22	PD1/D1	FPGA と兼用
23	DGND		24	DGND	
25	PD2/D2	FPGA と兼用	26	PD3/D3	FPGA と兼用
27	PD4/D4	FPGA と兼用	28	PD5/D5	FPGA と兼用
29	PD6/D6	FPGA と兼用	30	PD7/D7	FPGA と兼用
31	PE0/D8	FPGA と兼用	32	PE1/D9	FPGA と兼用
33	PE2/D10	FPGA と兼用	34	PE3/D11	FPGA と兼用
35	PE4/D12	FPGA と兼用	36	PE5/D13	FPGA と兼用
37	PE6/D14	FPGA と兼用	38	PE7/D15	FPGA と兼用
39	P55/WAIT# (10K で Pull-UP)	FPGA と兼用	40	P50/WR# (10K で Pull-UP)	FPGA と兼用
41	DGND		42	DGND	
43	P53/BCLK2	FPGA と兼用	44	P52/RD# (10K で Pull-UP)	FPGA と兼用
45	P60/CS0# (10K で Pull-UP)		46	P63/CS3#	
47	P64/CS4#		48	P32	
49	P51/BC1#	FPGA と兼用	50	P33	
51	PA0/A0/BC0#	FPGA と兼用	52	PA1/A1	FPGA と兼用
53	PA2/A2	FPGA と兼用	54	PA3/A3	FPGA と兼用
55	PA4/A4	FPGA と兼用	56	PA5/A5	FPGA と兼用
57	PA6/A6	FPGA と兼用	58	PA7/A7	FPGA と兼用
59	DGND		60	DGND	

注. 1 10.4 アナログリファレンス電源 内部+3.3Vと外部Vrefの切替えを参照して下さい。

## 9.4. CN4: 拡張コネクタ (HIF3H-50PB-2.54DSA(71):ヒロセ)

No	信号名	備考	No	信号名	備考
1	DGND		2	DGND	
3	FPGA_IO_00		4	FPGA_IO_01	
5	FPGA_IO_02		6	FPGA_IO_03	
7	FPGA_IO_04		8	FPGA_IO_05	
9	FPGA_IO_06		10	FPGA_IO_07	
11	FPGA_IO_08		12	FPGA_IO_09	
13	FPGA_IO_10		14	FPGA_IO_11	
15	FPGA_IO_12		16	FPGA_IO_13	
17	FPGA_IO_14		18	FPGA_IO_15	
19	DGND		20	DGND	
21	FPGA_IO_16		22	FPGA_IO_17	
23	FPGA_IO_18		24	FPGA_IO_19	
25	FPGA_IO_20		26	FPGA_IO_21	
27	FPGA_IO_22		28	FPGA_IO_23	
29	FPGA_IO_24		30	FPGA_IO_25	
31	FPGA_IO_26		32	FPGA_IO_27	
33	FPGA_IO_28		34	FPGA_IO_29	
35	FPGA_IO_30		36	FPGA_IO_31	
37	DGND		38	DGND	
39	FPGA_IO_32		40	FPGA_IO_33	
41	FPGA_IO_34		42	FPGA_IO_35	
43	FPGA_IO_36		44	FPGA_IO_37	
45	FPGA_IO_38		46	FPGA_IO_39	
47	DGND		48	DGND	
49	+3.3V (注. 1)	出力	50	+3.3V (注. 1)	出力

注. 1 11.1 拡張コネクタ(6) を参照して下さい。

## 9.5. CN5: マイコンデバッグ E1用 コネクタ (XG4C-4131:オムロン)

No	信号名	備考	Np	信号名	備考
1	TCK		2	GND	
3	TRST#		4	EMLE	
5	TDO/TXD1		6	NC	
7	MD		8	VCC	3.3V OUT
9	TMS		10	UB	PC7
11	TDI/RXD1		12	GND	
13	RESET#		14	GND	

## 9.6. CN6: マイコンデバッグ AH7000用 コネクタ (DF11-10DP-2DSA:ヒロセ)

No	信号名	備考	Np	信号名	備考
1A	SD1	TDI	1B	GND	
2A	SD2	TDO	2B	GND	
3A	SCK	TCK	3B	GND	
4A	NMI	TRST#	4B	VCC	3.3V OUT
5A	RES#		5B	FWE	TMS

## 9.7. CN7: FPGA JTAGコネクタ (XG4C-1031:オムロン)

No	信号名	備考	No	信号名	備考
1	TCK		2	GND	
3	TDO		4	VCC	2.5V
5	TMS		6	VIO	2.5V
7	NC		8	NC	
9	TDI		10	GND	



## 10. 機能

### 10.1. RX63N のモード設定

JP1		動作モード (MD 端子) 1 番側ショート(H): シングルチップモード 2 番側ショート(L): ブートモード	出荷時設定 1 番側ショート
JP2		オンチップエミュレータ (EMLE 端子) 1 番側ショート(L): 使用しない 2 番側ショート(H): 使用する	出荷時設定 1 番側ショート
JP3		ブート種類 (PC7 端子) 1 番側ショート(L): SCI1ブート 2 番側ショート(H): USBブート/ユーザーブート	出荷時設定 1 番側ショート

\*参考: 上記組み合わせ

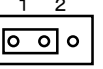
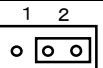
動作モード	JP1 (MD)	JP2 (EMLE)	JP3 (PC7)	
シングルチップモード	H	L	X	X=H,L どちらでも可
オンチップエミュレータ使用	H	H	X	
ブートモード	SCI1 ブート	L	L	使用 ch=P26/TXD1、P30/RXD1
	USB ブート	L	L	使用 ch=USB0_DP、USB0_DM
	ユーザーブート	L	H	

動作モードの詳細は RX63N グループ ユーザーズマニュアル ハードウェア編を参照して下さい。

本ボード単体では USB ブートの使用はできません。評価ボード等の別基板が必要となります。

### 10.2. リセット

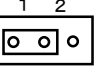
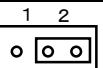
リセット信号を拡張コネクタより入力するか、拡張コネクタへ出力するかを切替えます。

JP4		1 番側ショート 拡張コネクタ(CN2-59)へリセット信号出力	出荷時設定
		2 番側ショート 拡張コネクタ(CN2-59)よりリセット信号入力	

### 10.3. 電源電圧監視

+5V 電源の電圧監視を有効にするか無効にするかを切替えます。

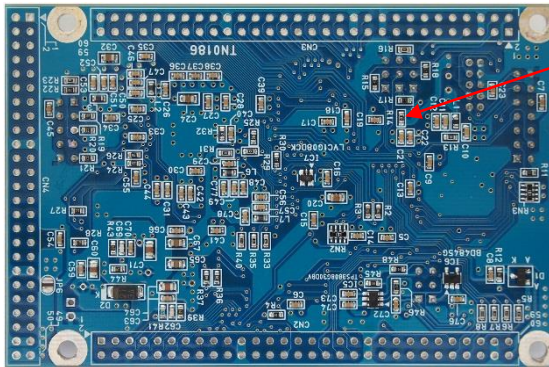
電源電圧の供給を+3.3V で行う場合は無効にして下さい。

JP5		1 番側ショート +5V電源の電圧を監視(+4.5V以下でNMI入力)	出荷時設定
		2 番側ショート +5V電源の電圧を監視無効	

## 10.4. アナログリファレンス電源 内部+3.3Vと外部Vrefの切替え

アナログリファレンス電圧を拡張コネクタより供給する場合は R14 を未実装にして下さい。

また、リファレンス電圧の範囲は+2.7V~+3.3V の範囲として下さい。



R14に0Ω(1608 サイズ)抵抗を実装 (出荷時設定)

アナログリファレンス電源 = 内部+3.3V

CN3-2: 内部+3.3V 出力

R14を未実装

アナログリファレンス電源 = 外部 Vref

CN3-2: 外部 Vref 入力

## 10.5. FRAM

MP-RZA1H/FPGA-01にはデータバックアップ用に標準で32KバイトのシリアルFRAM(FM25V02: RAMTRON)が搭載されています。

## 10.6. マイコン内蔵時計 (RTC) バックアップ

- ・RTCのバックアップ用にスーパーキャパシタを搭載し、VBAT端子に供給しています。
- ・スーパーキャパシタ (FC0V474ZFTBR24(0.47F/3.5V): NEC)
- ・RTC保持時間 ≒ 50 時間 (当社計測値: 電源 OFF 後 VBAT 端子電圧 2.0V 時点)
- ・長期間のバックアップが必要な時は、外部からの供給 (拡張コネクタ: CN2-60 番ピン)も可能で、バックアップ電圧は+2.7V~+3.6Vの範囲として下さい。

## 10.7. LED

## (1) 電源 LED (LED7)

電源 ON で点灯します。

## (2) 汎用 LED (LED1~4 : MCU I/O ポートに接続)

“L”で点灯します。

## (3) 汎用 LED (LED5,6 : FPGA I/O ポートに接続)

FPGA 経路で制御します。詳細は7. FPGA用サンプルI/O回路のI/Oレジスタ詳細を参照して下さい。

## 10.8. スイッチ

(1)汎用 DIP スイッチ (SW1 : MCU I/O ポートに接続)

ON の時“L”を入力します。

OFF の時“H”を入力します。

(2)汎用 DIP スイッチ (SW2 : FPGA I/O ポートに接続)

FPGA 経由でスイッチの入力を行います。

詳細は7. FPGA用サンプルI/O回路のI/Oレジスタ詳細を参照して下さい。

(3)リセット用タクトイルスイッチ

スイッチを押すことによりリセットを行います。

10. 2 リセットの設定により拡張コネクタ(CN2-59)へリセット信号の出力が可能です。

## 11. 外部インターフェース

### 11.1. 拡張コネクタ

#### (1) CN2-1,2,3,4 (EX5V)

この端子は CN1 と接続されています。よって CN1 の電源がこの端子より外部に供給されます。  
また、この端子より電源の供給を受ける場合は CN1 は使用しないで下さい。

#### (2) CN2-56 (ExNMI#)

本ボード内の NMI 信号を外部へ出力します。  
また、外部より本ボードの MCU へ NMI 信号を入力します。

#### (3) CN2-59 (ExRST#)

10.2 リセットを参照して下さい。

#### (4) CN3-1 (AVCC)

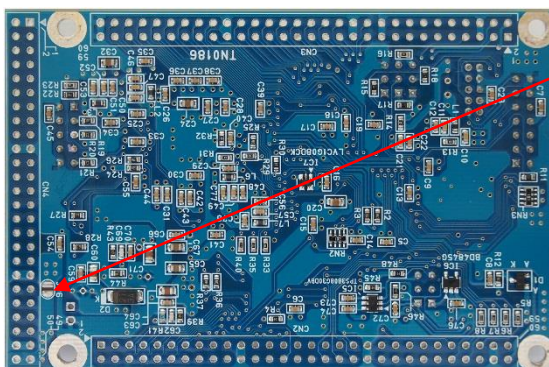
本ボード内部の MCU アナログ電源 +3.3V を出力します。

#### (5) CN3-2 (VREF)

10.4 アナログリファレンス電源 内部 +3.3V と外部 Vref の切替えを参照して下さい。

#### (6) CN4-49,50 (3.3V)

本ボード内部のロジック電源 +3.3V を出力します。  
出力する場合は JP6 をショートして下さい。



JP6 オープン (出荷時設定)

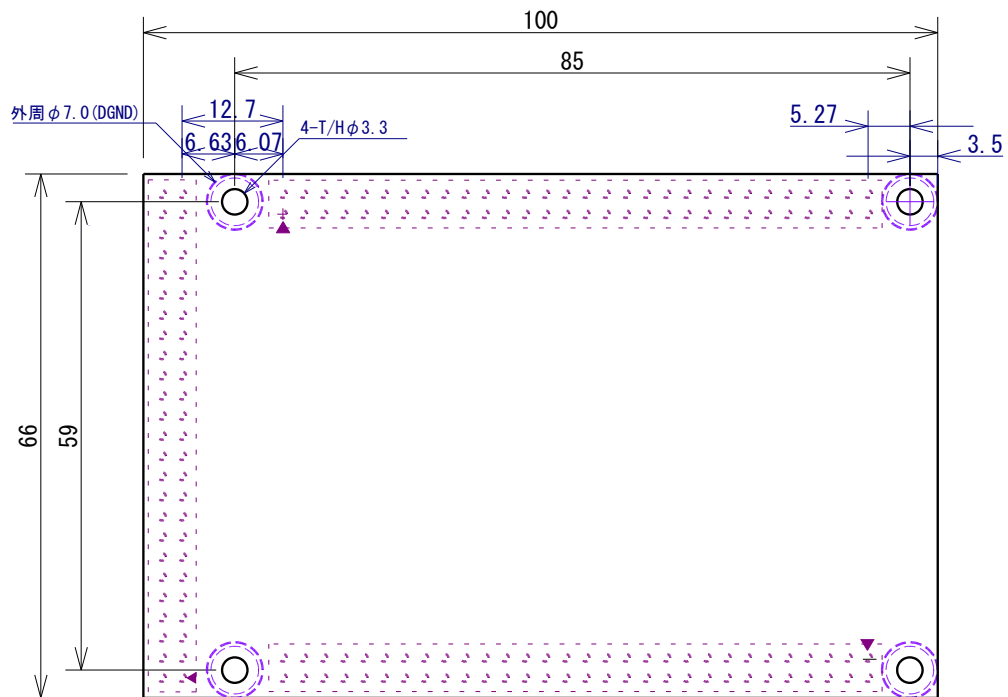
CN4-49,50 にロジック電源 +3.3V を出力しません。

JP6 ショート

CN4-49,50 にロジック電源 +3.3V を出力します。

注. 供給可能な電流は、外部出力(CN4-49,50)+本ボード内+拡張 I/O ポート消費などの総合計で 1A 以内として下さい。

12. 外形寸法図



13. 回路図

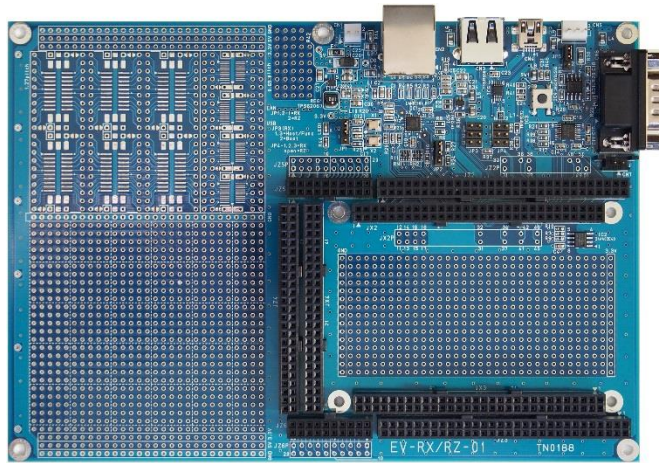
別紙参照

## 14. 関連製品

### 14.1. 評価ボード(EV-RX/RZ-01)

MP-RZA1H/FPGA-01、MP-RX63N/FPGA-01、MP-RX63N/CPLD-01 兼用の評価ボードです。

詳細は EV-RX/RZ-01 ハードウェアマニュアルを参照して下さい。



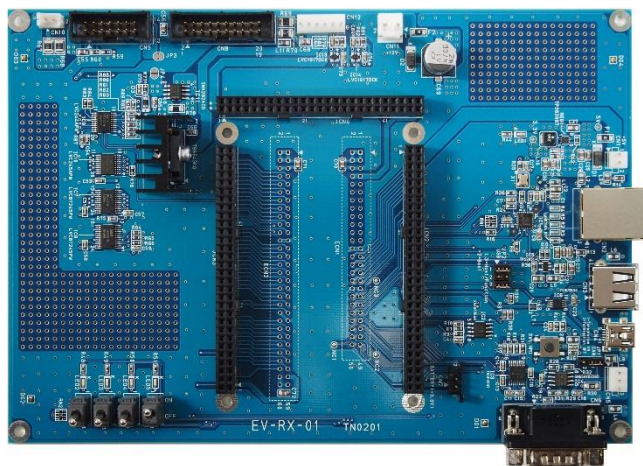
#### 搭載機能

- ・LAN
- ・USB ホスト
- ・USB ファンクション
- ・CAN
- ・RS232C
- ・NMI スイッチ
- ・ユニバーサルパターン

### 14.2. 評価ボード(EV-RX-01)

MP-RX63N/FPGA-01、MP-RX63N/ CPLD-01 専用の評価ボードです。

詳細は EV-RX-01 ハードウェアマニュアルを参照して下さい。



#### 搭載機能

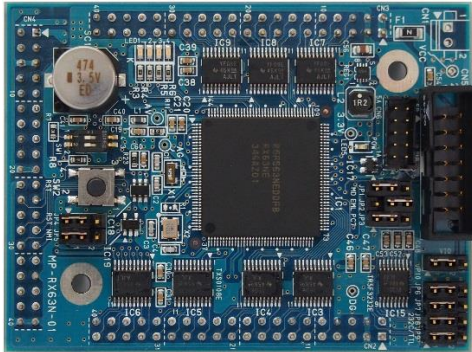
- ・LAN
- ・USB ホスト
- ・USB ファンクション
- ・CAN
- ・RS232C
- ・NMI スイッチ
- ・デバッグ用スイッチ/LED
- ・モノクログラフィック液晶
- ・キャラクタ液晶
- ・DC モーター
- ・拡張コネクタ



## 14.3. RX63N単体MCUボード (MP-RX63N-01)

RX63N MCU 単独ボードです。

詳細は MP-RX63N-01 ハードウェアマニュアルを参照して下さい。



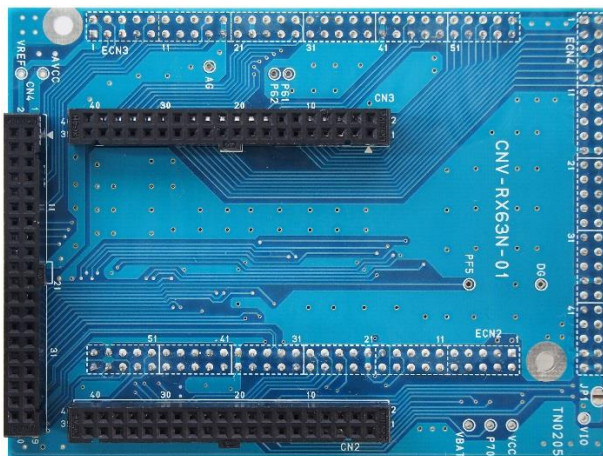
## 搭載機能

- ・RX63N MCU
- ・シリアル FRAM
- ・IO電圧レベルシフト
- ・4.5V 電圧検出
- ・各水晶振動子
- ・RTC バックアップ
- ・RESET スイッチ
- ・DIP スイッチ, LED

## 14.4. RX63N単体MCUボード コネクタ変換基板 (CNV-RX63N-01)

RX63N 単体 MCU ボード (MP-RX63N-01) を評価ボード (EV-RX/RZ-01 または EV-RX-01) へ接続するためのコネクタ変換ボードです。

詳細は MP-RX63N-01 ハードウェアマニュアルを参照して下さい。



## 搭載機能

- ・部品面 : 上記 MP-RX63N-01 用コネクタ
- ・半田面 : 評価ボード用コネクタ