

FPGA(CycloneIV)/CPLD(MAX-V)にサンプル回路を Programming する。

(ALTERA Quartus II 64-Bit Version 15.0.0 用)

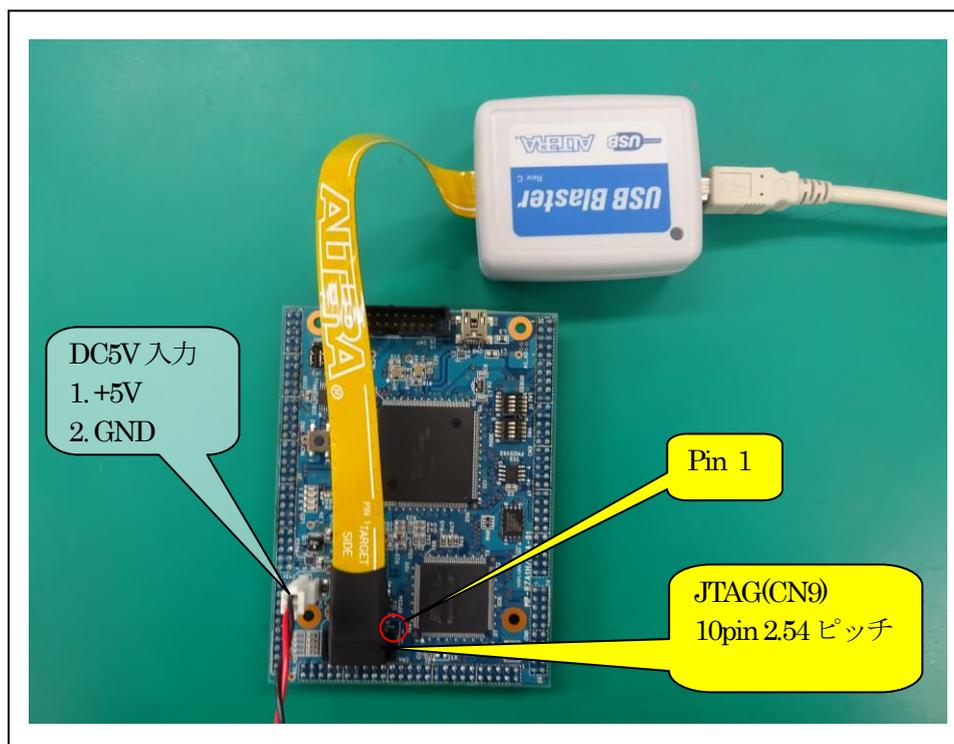
マイコン基板 (MP-RZA1H/FPGA) (MP-RX63N/FPGA) (MP-RX63N/CPLD) に搭載された FPGA(CycloneIV)と CPLD(MAX-V)にサンプル I/O 回路(無償)をプログラミングする手順を説明します。

1. FPGA/CPLD 用サンプル I/O 回路(無償)のディレクトリ名とプログラミング開発環境
(ディレクトリ名に全角文字は使用できません)

VerilogHDL のディレクトリ : ..¥ VerilogHDL¥ QuartusV15.0	
VHDL のディレクトリ : ..¥ VHDL¥ QuartusV15.0	
MP-RZA1H-FPGA-01	MP-RZA1H/FPGA 用サンプル
MP-RX63N-FPGA-01	MP-RX63N/FPGA 用サンプル
MP-RX63N-CPLD-01	MP-RX63N/CPLD 用サンプル

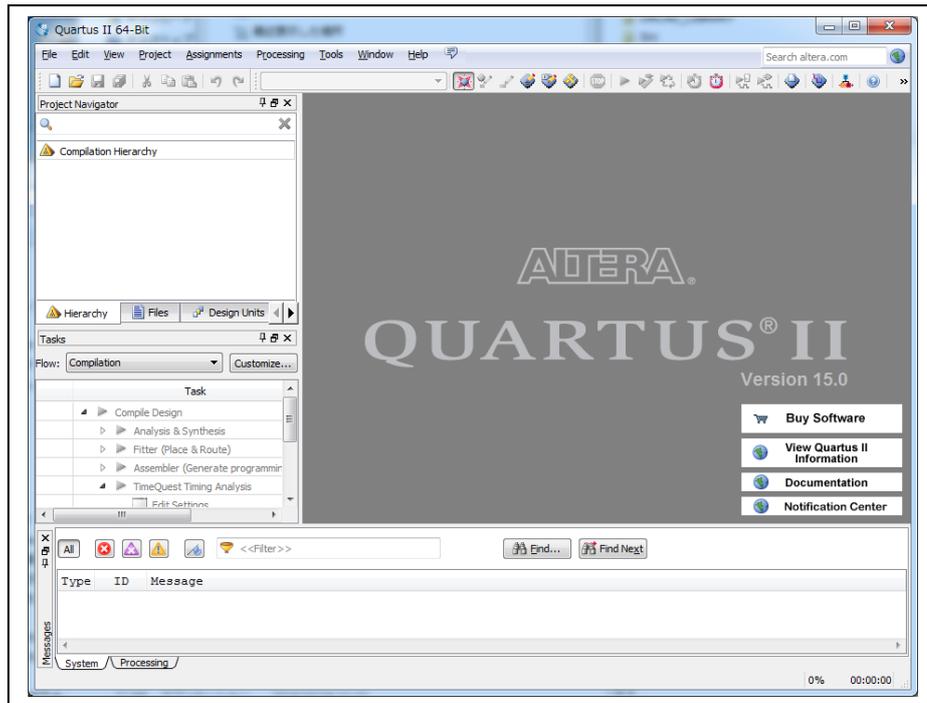
プログラミング開発環境	
QuartusII Version 15.0 Web Edition	

2. FPGA 開発ツール(USB Blaster)を使用する装置環境

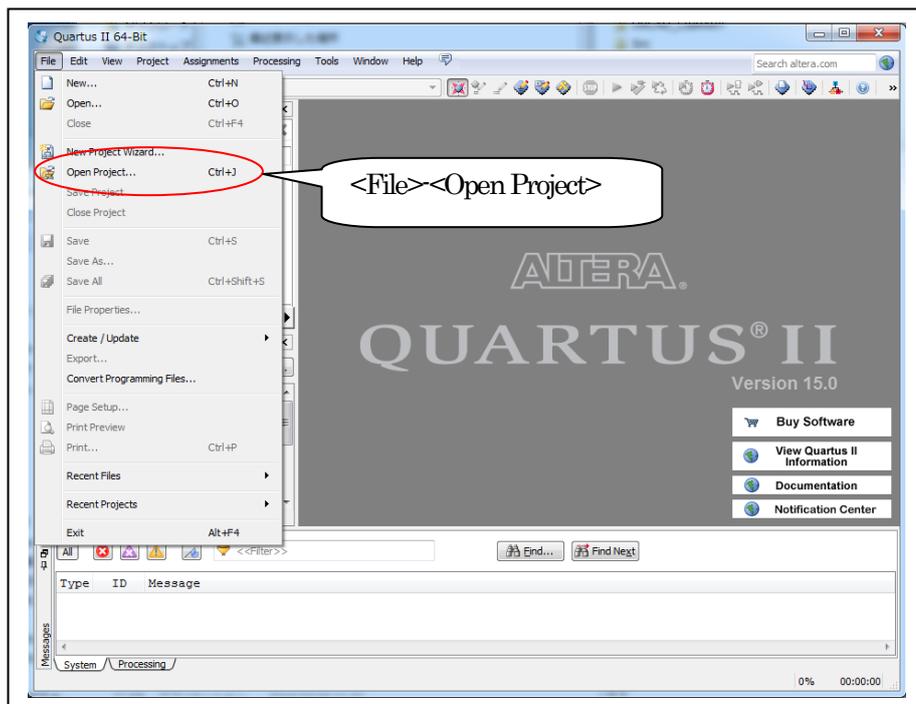


3. FPGA サンプル回路「MP-RZA1H-FPGA-01」を使用したプログラミング手順を説明します。

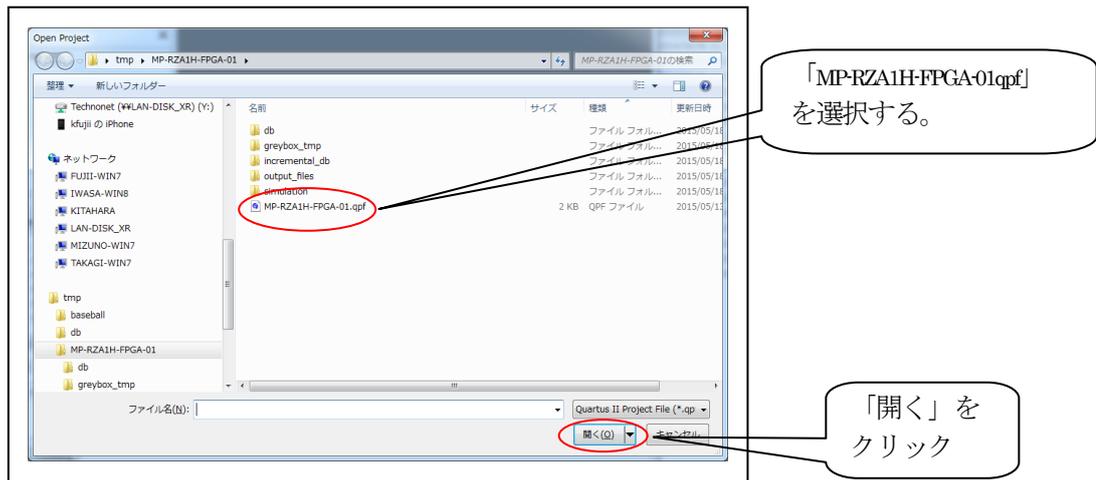
1) QuartusII を起動する。



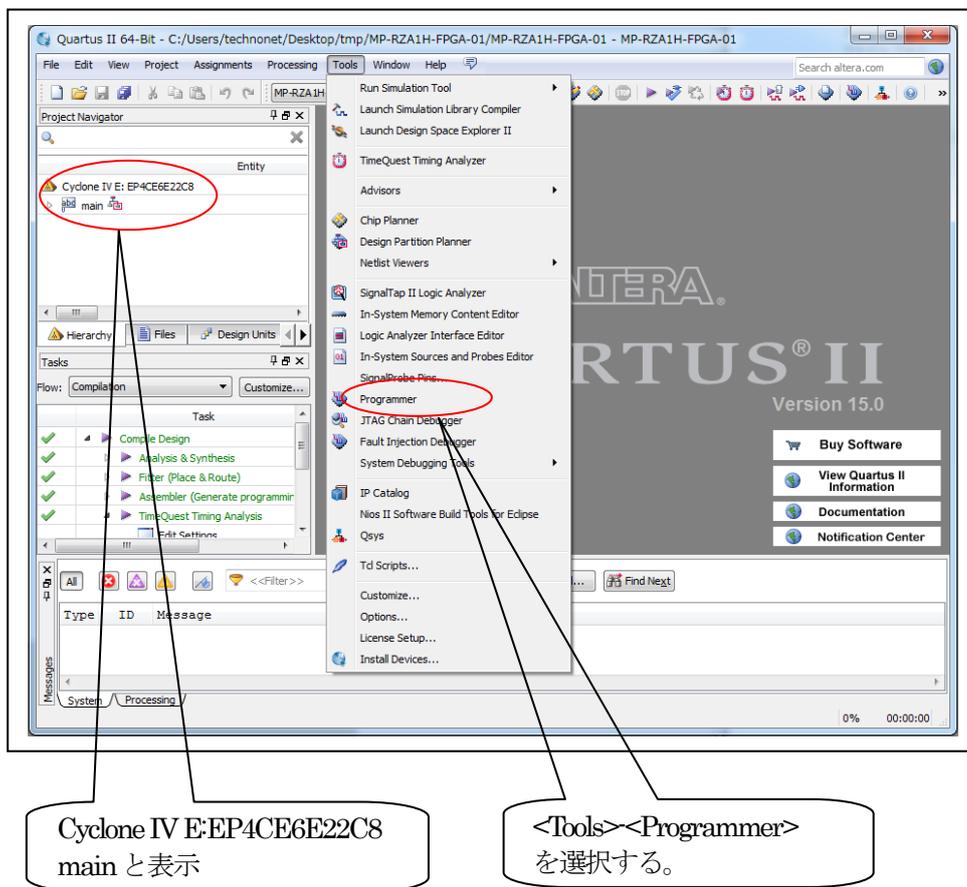
2) プロジェクトを開きます。



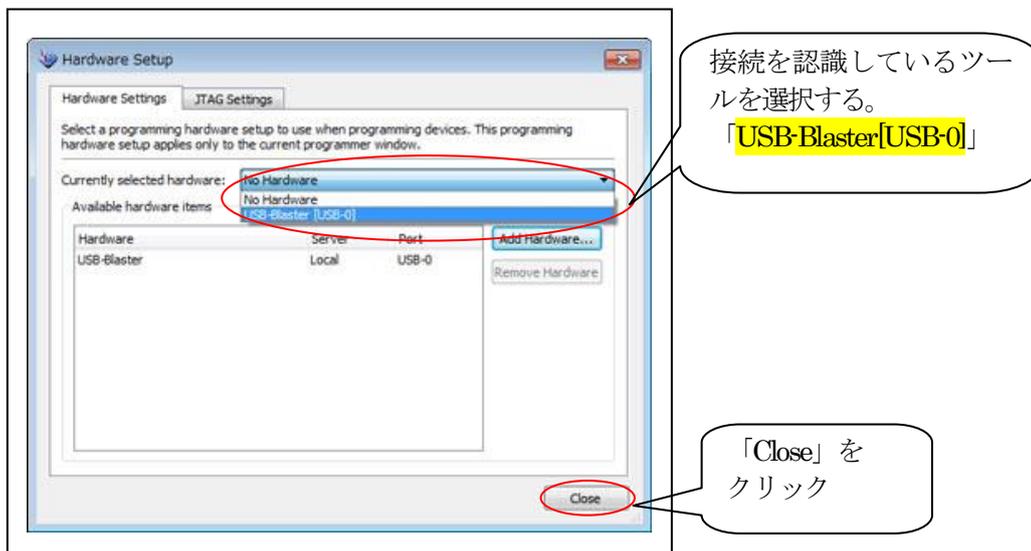
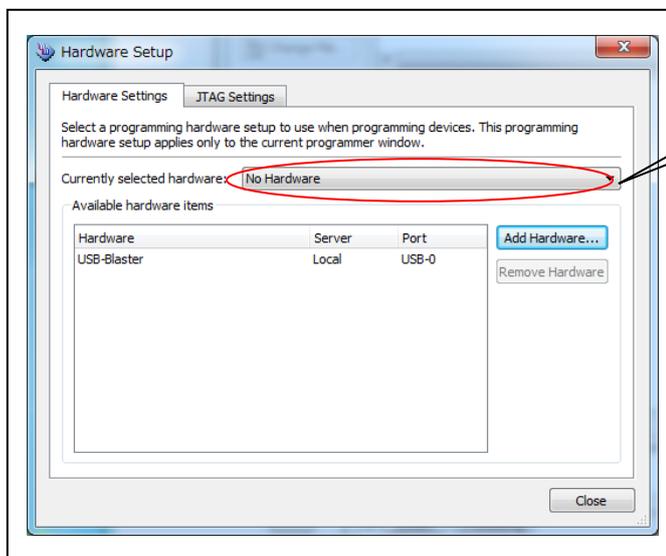
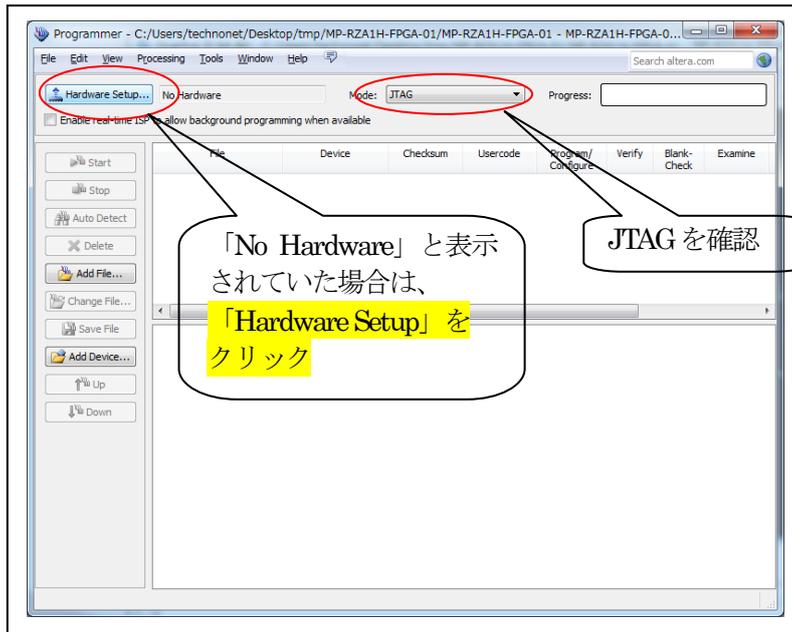
3) サンプル IO 回路「MP-RZA1H-FPGA-01」のプロジェクトファイル「*.qpf」を指定する。



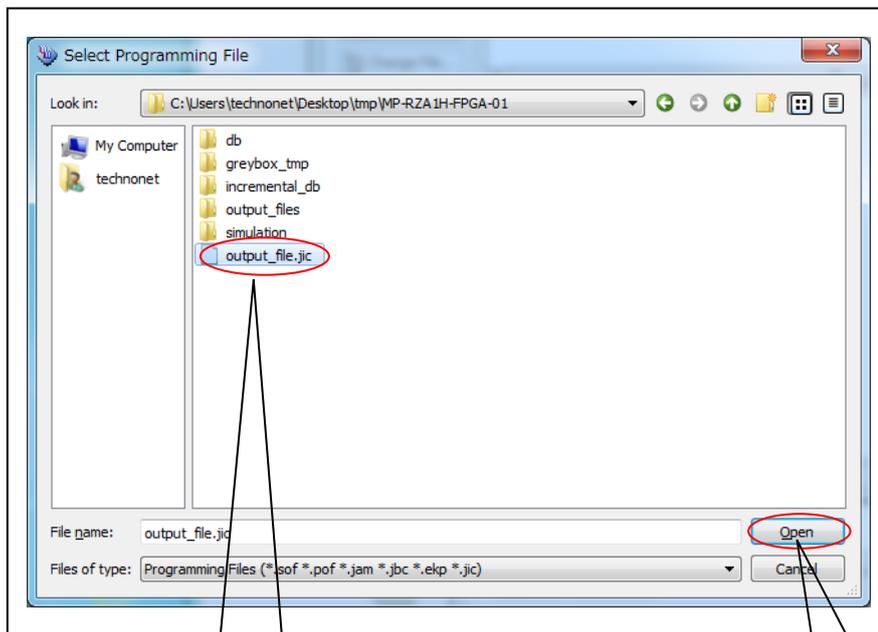
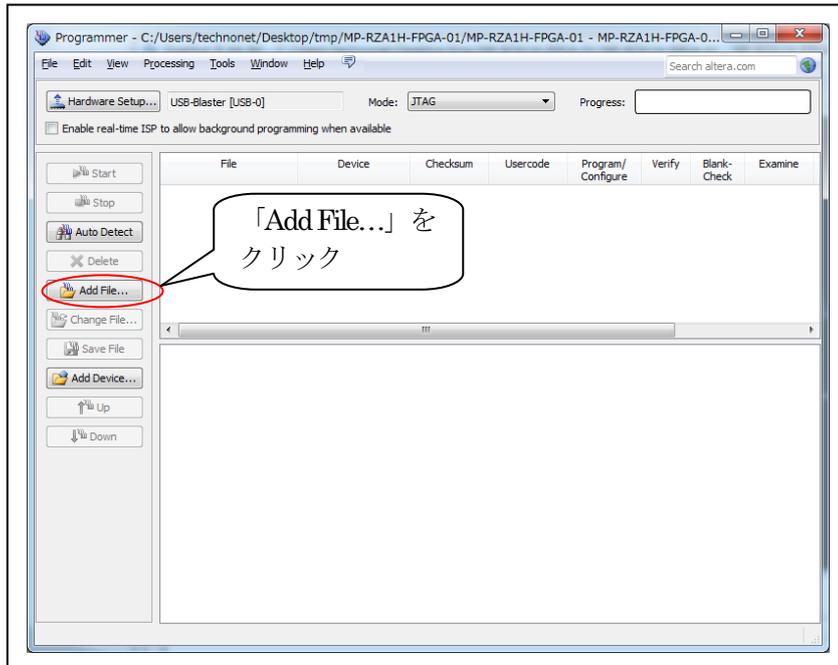
4) プロジェクトが開いたのを確認後、「Programmer」を選択する。



5) ハードウェア (ツール) のセットアップをする。



- 6) Programmerに必要な「*.jic」ファイルを開きます。
 (CPLD(MAX-V)の場合は「*.pof」ファイルを開きます)

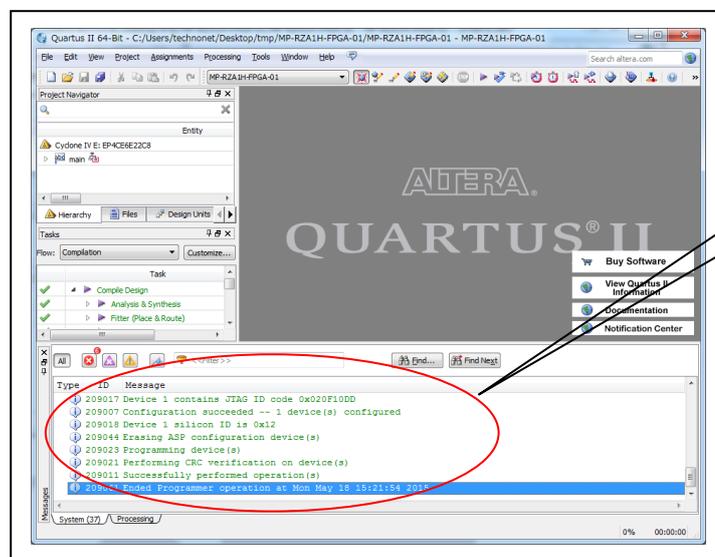
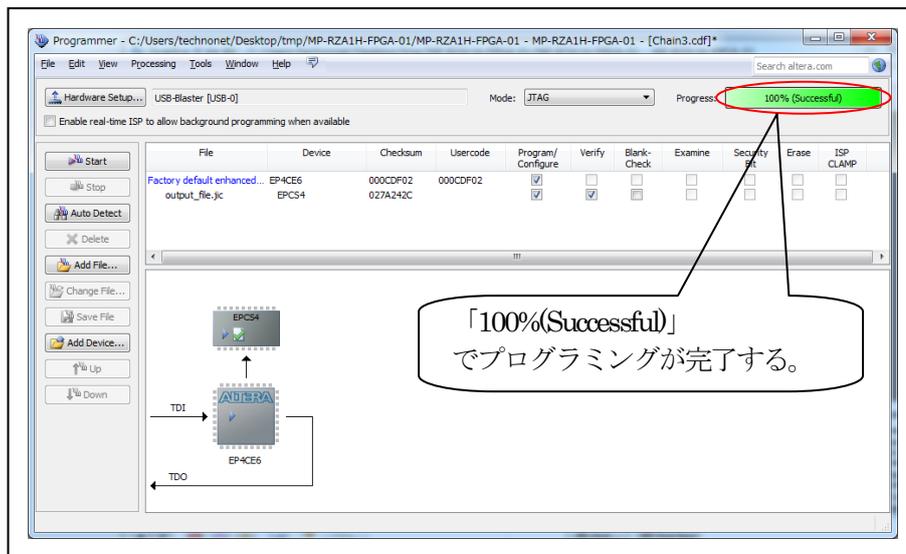
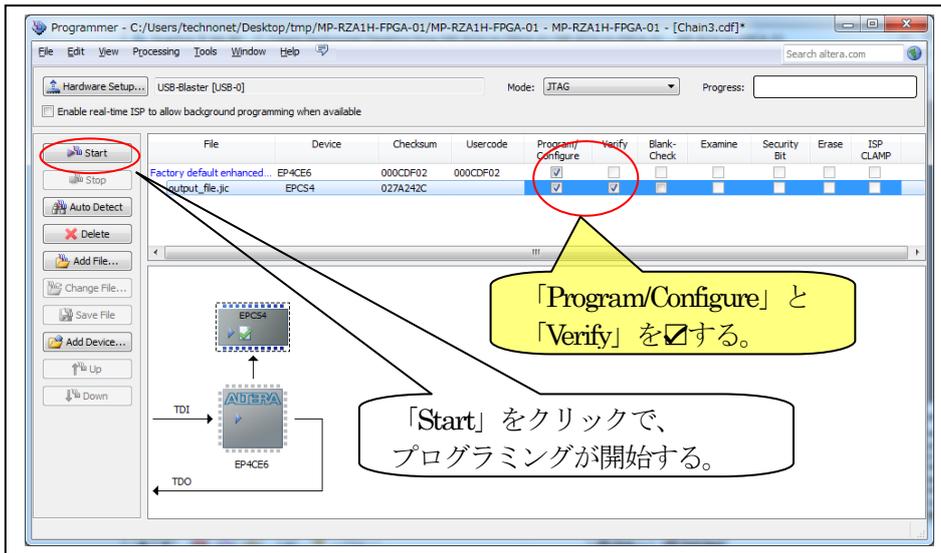


「output_file.jic」
 を選択

「Open」
 をクリック

(注) CPLD(MAX-V)の場合は **output_files** フォルダの中の
 「output_file.pof」を選択

7) FPGAにIOサンプル回路をプログラミングする。



以上です。

4. 注意事項

- 本文書の著作権は、エーワン（株）が保有します。
- 本文書を無断での転載は一切禁止します。
- 本文書に記載されている内容についての質問やサポートはお受けすることが出来ません。
- 本文章に関して、ALTERA 社およびルネサス エレクトロニクス社への問い合わせは御遠慮願います。
- 本文書の内容に従い、使用した結果、損害が発生しても、弊社では一切の責任を負わないものとしします。
- 本文書の内容に関して、万全を期して作成しましたが、ご不審な点、誤りなどの点がありましたら弊社までご連絡くだされば幸いです。
- 本文書の内容は、予告なしに変更されることがあります。

5. 商標

- QuartusII は、ALTERA 社の登録商標、または商品名称です。
- USB Blaster は、ALTERA 社の登録商標、または商品名称です。
- RX63N および RZA1H は、ルネサス エレクトロニクス株式会社の登録商標、または商品名です。
- その他の会社名、製品名は、各社の登録商標または商標です。

〒486-0852

愛知県春日井市下市場町 6-9-20

エーワン株式会社

<http://www.robin-w.com>